

UNIVERSIDADE FEDERAL DO MARANHÃO
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE ELETRICIDADE

RAFAEL OLIVEIRA NUNES

CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR A CAPACITOR
CHAVEADO COM FAIXA DE ENTRADA PROGRAMÁVEL

São Luís

2010

RAFAEL OLIVEIRA NUNES

**CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR A CAPACITOR
CHAVEADO COM FAIXA DE ENTRADA PROGRAMÁVEL**

Dissertação de Mestrado submetida à
Coordenação do Programa de Pós-Graduação
em Engenharia de Eletricidade da UFMA como
parte dos requisitos para obtenção do título de
mestre em Engenharia de Eletricidade.

São Luís

2010

Nunes, Rafael Oliveira

Conversor analógico-digital integrador a capacitor
chaveado com faixa de entrada programável / Rafael
Oliveira Nunes. – 2010.

93 f.

Impresso por computador (Fotocópia).

Orientador: Sebastian Yuri Cavalcanti Catunda
Dissertação (Mestrado) – Universidade Federal
do Maranhão, Programa de Pós-Graduação em
Engenharia de Eletricidade, 2010.

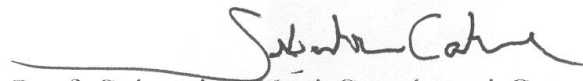
1. Engenharia de controle automático 2. Circuitos
programáveis 3. Sistema de medição 4. Conversor
analógico-digital 5. Capacitor chaveado I. Título

CDU – 681.5

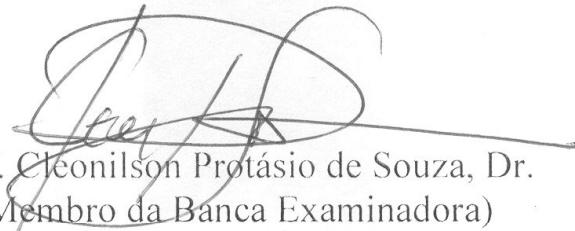
**CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR
A CAPACITOR CHAVEADO COM FAIXA DE
ENTRADA PROGRAMÁVEL**

Rafael Oliveira Nunes

Dissertação aprovada em 23 de dezembro de 2010.



Prof. Sebastian Yuri Cavalcanti Catunda, Dr.
(Orientador)



Prof. Cleonilson Protásio de Souza, Dr.
(Membro da Banca Examinadora)



Prof. Luiz Antonio de Souza Ribeiro, Dr.
(Membro da Banca Examinadora)

A todos que me incentivaram.

Agradecimentos

Ao Nosso Deus, que permitiu que este trabalho fosse realizado.

A meus pais **Dino de Carvalho Nunes Neto** e **Ana Raimunda Oliveira Nunes** pelo investimento nos meus estudos e os incentivos dados ao longo do mestrado.

Ao professor **Sebastian Yuri Cavalcanti Catunda**, pela orientação, paciência, e dedicação dada ao longo do desenvolvimento e da escrita deste trabalho.

A minha namorada **Tamare Kazume** que esteve ao meu lado desde o início deste trabalho.

Aos meus amigos do LIEA que sempre me incentivaram, em especial **Juan Maurício, Diomadson Belfort, Will Almeida, Evandro Gomes, Jadilson Silva, Shirlen Leal, Pedro Abreu, Freud Bach, Thiago Brito, Igor Costa e Adelman Benigno**.

A todos os colegas, pela amizade e companheirismo ao longo desses anos dedicados ao aprendizado.

A todos os professores que contribuíram para minha formação.

A Capes pelo apoio financeiro.

A todos os amigos e familiares que de alguma forma contribuíram para a elaboração deste trabalho.

"A simplicidade é o último degrau da sabedoria."

Khalil Gibran

Resumo

Circuitos integrados programáveis possibilitam o seu ajuste após a fabricação, para se adequar a mais de uma aplicação dentro de um conjunto determinado de aplicações. Esses circuitos são flexíveis, mas podem perder em desempenho quando comparado a outro circuito fabricado para servir a apenas uma aplicação específica. Um sistema programável pode ser aplicado em medições que envolvam um conjunto de sensores com características diferentes de sinais e um conversor analógico-digital. A faixa de sinal em cada sensor deve ser ajustada o mais próximo da faixa de entrada do conversor analógico-digital, para garantir a medição com a faixa completa do sinal. Uma solução para garantir o ajuste das faixas é o uso de um sistema de medição com circuito de condicionamento programável. Neste trabalho, um conversor analógico-digital com faixa de entrada ajustável é proposto, proporcionando, de forma equivalente, um valor de ganho ajustável ao sinal analógico de entrada. Os valores de ajuste pertencem a um conjunto mínimo de ganhos definidos para garantir que não haja perda da faixa de medição do sinal, com perda de resolução dentro de um limite aceitável. O conversor proposto é do tipo integrador discreto com circuitos a capacitor chaveado. Simulações comportamentais e em SPICE foram realizadas de forma a validar o conversor proposto.

Palavras-chave: Circuitos programáveis, sistema de medição, conversor analógico-digital, capacitor chaveado.

Abstract

Programmable integrated circuits for specified applications enable its adjustment after fabrication, to fit more than one application within a certain set of applications. These circuits are flexible, but could lose in performance when compared to other circuit constructed to serve only a specific application. A programmable system can be applied to measurements involving a set of sensors with different characteristics of signals and an analog-to-digital converter. The signal range for each sensor should be adjusted as close to the input range of analog-digital converter as possible, to ensure the measurement with the full range of the signal. A solution for ensure the adjustable ranges is the employ a measurement system with programmable conditioning circuit. In this work, an analog-to-digital converter with adjustable input range is proposed, providing, equivalently, an adjustable gain value to the analog input signal. The gain values compose a minimum set to ensure no loss of measurement range of the signal, with loss of resolution within an acceptable limit. The proposed converter is a discrete integrator type with switched capacitor circuits. Behavioral and SPICE simulations were performed to validate the proposed converter.

Keywords: programmable circuits, measurement system, analog-to-digital converter, switched capacitors.

Sumário

LISTA DE SÍMBOLOS	XI
LISTA DE FIGURAS	XII
LISTA DE TABELAS.....	XV
1. INTRODUÇÃO	1
1.1 CONTEXTUALIZAÇÃO DO TRABALHO.....	1
1.1.1 Aspectos Gerais da Medição	1
1.1.2 Arquiteturas de ADC	2
1.1.3 Circuitos Programáveis.....	3
1.2 PROPOSTA DO ADC PROGRAMÁVEL.....	5
1.2.1 Justificativa.....	6
1.2.2 Objetivos.....	7
1.2.3 Metodologia.....	7
1.3 ORGANIZAÇÃO DA DISSERTAÇÃO	7
2. CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR.....	8
2.1 CARACTERÍSTICAS DO ADC	8
2.1.1 Medidas de Desempenho Estático	12
2.1.2 Medidas de Desempenho Dinâmico	13
2.2 CONVERSOR INTEGRADOR	15
2.2.1 Conversor Rampa Simples.....	15
2.2.2 Conversor Rampa Dupla	17
2.2.3 Conversor Rampa Múltipla Runup.....	20
2.3 CAPACITOR CHAVEADO	22
3. ESPECIFICAÇÃO DO CONVERSOR A/D PROGRAMÁVEL.....	25
3.1 FAIXA DE ENTRADA DO ADC	25
3.2 CONJUNTO DOS GANHOS	27
3.3 CAPACITOR PROGRAMÁVEL.....	29
3.4 ESPECIFICAÇÃO DO CONVERSOR.....	32
4. PROJETO COMPORTAMENTAL DO ADC PROGRAMÁVEL.....	33
4.1 CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR DISCRETO	33
4.1.1 Operação do Circuito	34
4.1.2 Faixa da Tensão de Saída do Integrador	36
4.1.3 Faixa de Entrada Programável do ADC	39
4.1.4 Modos de Operação.....	40
4.2 SIMULAÇÃO COMPORTAMENTAL DO ADC	41
5. PROJETO ESTRUTURAL DO ADC PROGRAMÁVEL	44
5.1 CONVERSOR ANALÓGICO-DIGITAL INTEGRADOR EM NÍVEL ESTRUTURAL.....	44
5.1.1 Gerador de fases do relógio	45
5.1.2 Mux 2x2	46
5.1.3 Capacitor Programável.....	46
5.1.4 Flip-flop D.....	47
5.1.5 Contador Crescente/Decrescente Especial	48
5.1.6 Integrador.....	49
5.1.7 Comparador	50
5.1.8 Chave seletora do Modo de Operação	51
5.1.9 Sinais de reset.....	52
5.2 SIMULAÇÃO ESTRUTURAL DO CONVERSOR	52

6. CONCLUSÕES E SUGESTÕES	56
6.1 CONCLUSÕES	56
6.2 SUGESTÕES	56
REFERÊNCIAS BIBLIOGRÁFICAS.....	58
APÊNDICES.....	61
A.1 ALGORITMO PARA SIMULAÇÃO DA TENSÃO NA SAÍDA DO INTEGRADOR.....	61
A.2 ALGORITMO PARA SIMULAÇÃO DOS VALORES MÁXIMOS E MÍNIMOS DA TENSÃO NA SAÍDA DO INTEGRADOR	62
A.3 ALGORITMO PARA SIMULAÇÃO DA QUANTIZAÇÃO DO CONVERSOR A/D.....	63
ANEXO	64
AN.1 ANEXO DO ARTIGO.....	64

Lista de Símbolos

A/D	Analógico Digital
ADC	Conversor Analógico Digital
ASIC	Circuitos Integrados para Aplicações Específicas
BSIM	Modelo de Berkeley para MOSFET de canal curto
CA	Corrente Alternada
CC	Corrente Contínua
C/D	Crescente Decrescente
CMOS	Metal-Óxido-Semicondutor Complementar
dB	Decibel
DNL	Não Linearidade Diferencial
DR	Faixa Dinâmica
ENOB	Número Efetivo de Bits
FFT	Transformada Rápida de Fourier
GBW	Ganho de Largura de Banda
ICMR	Faixa de Entrada Modo Comum
IEEE	Instituto de Engenharia Elétrica e Eletrônica
INL	Não Linearidade Integral
LSB	Bit Menos Significativo
MOS	Metal-Óxido-Semicondutor
MSB	Bit Mais Significativo
MSPS	Milhões de Amostras Por Segundo
NMOS	Metal-Óxido-Semicondutor com Canal N
PGA	Amplificador com Ganho Programável
PMOS	Metal-Óxido-Semicondutor com Canal P
SAR	Registrador de Aproximação Sucessiva
SFDR	Faixa Dinâmica Livre de Espúrios
SI	Sistema Internacional de Unidades
SINAD	Relação Sinal Ruído mais Distorção
SNR	Relação Sinal Ruído
SPICE	Programa de Simulação com Ênfase em Circuitos Integrados
SR	Taxa de Variação
THD	Distorção Harmônica Total

Lista de Figuras

Figura 1.1 – Sistema de medição em blocos funcionais.....	1
Figura 1.2 – Compromisso dos parâmetros num ADC: velocidade, resolução e potência.	3
Figura 1.3 – Representação de um sistema de medição com circuito de condicionamento programável.....	4
Figura 1.4 – Circuito de condicionamento programável proposto em Belfort (2008).	4
Figura 1.5 – Idéia do sistema de medição com conversor analógico-digital programável.....	6
Figura 2.1– Representação do sinal analógico em código binário.	9
Figura 2.2– ADC de 3 bits; representações: (a) meia-faixa e seu erro de quantização; (b) meia-transição e seu erro de quantização.	10
Figura 2.3 – Relação entre número de bits da resolução (representado por quadrados), amplitude de palavras digitais, e faixa dinâmica (dB) do conversor A/D.....	11
Figura 2.4– Erros do ADC: (a) desvio; (b) erro de ganho.	13
Figura 2.5– Erros de linearidade do ADC: INL e DNL.	13
Figura 2.6– Exemplo de SFDR em relação ao sinal de entrada e escala completa.	14
Figura 2.7– Diagrama em blocos de um conversor rampa simples.....	15
Figura 2.8– Rampa simples: (a) tensão na saída do integrador e tensão na saída do comparador; (b) contagem dos bits.	16
Figura 2.9– Diagrama em blocos de um conversor rampa dupla.	17
Figura 2.10– Tensão na saída do integrador do ADC rampa dupla e a contagem dos pulsos.....	19
Figura 2.11– Conversor rampa dupla com dois resistores R_S/R_D no integrador.	19
Figura 2.12– Integrador do conversor rampa múltipla <i>runup</i>	20
Figura 2.13– Tensão na saída do integrador do ADC rampa múltipla <i>runup</i>	22
Figura 2.14– Equivalência do resistor em (a), com o uso do capacitor chaveado em (b).	22
Figura 2.15– Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo tensão invertida.	24
Figura 2.16– Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo tensão não invertida.	24
Figura 3.1– Faixa do sinal e a faixa de entrada do ADC.....	26
Figura 3.2– Capacitância variável na entrada do integrador.	27
Figura 3.3– Estrutura usada no conversor proposto com capacitores de: entrada, referência e saída.....	30
Figura 4.1– Arquitetura do conversor analógico-digital rampa múltipla <i>runup</i> a capacitor chaveado.....	34

Figura 4.2– Exemplo de operação das chaves no conversor em função do sinal de saída do comparador.....	35
Figura 4.3– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O= 3 \cdot C_R$ e $C_I= C_R$	38
Figura 4.4– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O= 10 \cdot C_R$ e $C_I= C_R$	38
Figura 4.5– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O= 3 \cdot C_R$ e $C_I= 3 \cdot C_R$	39
Figura 4.6– Arquitetura do conversor analógico-digital proposto com chaves de seleção do modo de operação.....	40
Figura 4.7– Tensão na saída do integrador para uma tensão de entrada de 1 V, em função dos 50 primeiros ciclos.....	41
Figura 4.8– Simulação comportamental do valor digital em função da entrada analógica para um conversor A/D de 3 bits.....	42
Figura 4.9– Simulação comportamental do valor digital em função da entrada analógica para um conversor A/D de 8 bits, com $C_I = 8 \cdot C_R$	43
Figura 4.10– Faixa de entrada do conversor A/D para cinco valores de capacitância C_I , do capacitor programável.....	43
Figura 5.1– Arquitetura do conversor A/D proposto usada na simulação estrutural.....	44
Figura 5.2– Circuito gerador de fases de relógio: (a) símbolo (b) estrutura interna.....	45
Figura 5.3– Exemplos de sinais na entrada e saída do gerador de fases de relógio.....	45
Figura 5.4– Circuito do $mux_{2 \times 2}$: dois mux em paralelo: (a) símbolo (b) estrutura interna.....	46
Figura 5.5– Capacitor programável com nove valores de capacitâncias: (a) símbolo (b) estrutura interna.....	47
Figura 5.6– Chave de transmissão CMOS usada no capacitor programável.....	47
Figura 5.7– <i>Flip-flop</i> D usado na implementação do conversor A/D: (a) símbolo (b) estrutura interna.....	48
Figura 5.8– Contador C/D especial, implementado com componentes discretos, para ser usado num conversor de oito bits: (a) símbolo (b) estrutura interna.....	49
Figura 5.9– Circuito integrador usado na implementação do conversor A/D proposto, com o símbolo do amplificador.....	49
Figura 5.10 – Símbolo do comparador usado no conversor A/D.....	50
Figura 5.11– Chave seletora do modo de operação formada por um multiplexador 4:1 e quatro chaves analógicas.....	51
Figura 5.12– Simulação comportamental da tensão no capacitor integrador, V_{CO} , para conversão de 4 bits.....	53
Figura 5.13– Simulação comportamental da tensão no capacitor integrador, V_{CO} , para conversão de 5 bits.....	53

Figura 5.14– Simulação estrutural da tensão no capacitor integrador, V_{CO} , para conversão de 4 bits.	54
Figura 5.15– Simulação estrutural da tensão no capacitor integrador, V_{CO} , para conversão de 5 bits.	54
Figura 5.16– Simulação estrutural do valor digital em função da entrada analógica para um conversor A/D de 3 bits.....	55

Lista de Tabelas

Tabela 3.1– Relação: capacitor de entrada C_I , ganho no sinal de entrada e faixa de entrada.	31
Tabela 3.2– Especificações do conversor proposto.....	32
Tabela 4.1 – Sequência de operação do conversor.....	36
Tabela 5.1 – Especificações para o amplificador do integrador.....	49
Tabela 5.4 – Especificações para o comparador usado no conversor A/D proposto.....	51

1. Introdução

Neste capítulo, apresenta-se a contextualização do problema e justificativa para o desenvolvimento da dissertação. Faz-se uma revisão das principais definições dos blocos funcionais que constituem um sistema de medição, e, entre eles, o do conversor analógico-digital a ser apresentado neste trabalho. Algumas arquiteturas de conversor analógico-digital (ADC) são descritas em seguida, e também sistemas de medição programáveis. Por último, a proposta do trabalho de dissertação é apresentada.

1.1 Contextualização do Trabalho

1.1.1 Aspectos Gerais da Medição

A medição quantitativa de uma grandeza física tem por finalidade expressar um valor em unidades de um sistema de medição padrão, como o SI. Tal valor pode representar, por exemplo, a magnitude da velocidade, pressão, acidez, temperatura ou qualquer outra grandeza física analisada, de acordo com a medição desejada.

Um sistema de medição digital possui tradicionalmente quatro blocos: um sensor ou transdutor, um circuito de condicionamento, um conversor A/D e um processador, conforme mostrados na Figura 1.1. Esses blocos devem ser precisos e bem dimensionados para garantir uma medição confiável que atenda aos requisitos da aplicação.

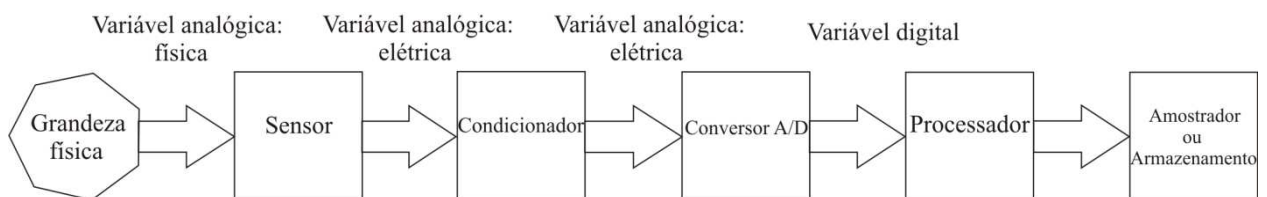


Figura 1.1 – Sistema de medição em blocos funcionais.

O sensor tem a função de converter a informação proveniente de grandeza física em um sinal elétrico. Esse sinal elétrico pode ser uma tensão ou corrente, muitas vezes com magnitude pequena, na ordem de milivolt (ou miliampere) ou até microvolt (ou microampere). Cada sensor é classificado de acordo com a grandeza física a ser medida, tais como: sensor de calor, sensor de distância e sensor de temperatura.

O bloco condicionador é responsável por ajustar o sinal elétrico na saída do sensor para que possa ser adequadamente aplicado ao conversor analógico-digital. Como o sinal na saída do sensor possui amplitude pequena, a sua amplificação é necessária. Além da amplificação, o sinal do sensor pode precisar de: ajuste CC, linearização e filtragem, para enfim, ser usado pelo conversor A/D.

O conversor A/D é usado para converter o sinal elétrico analógico em sinal digital, que será aplicado no bloco de processamento. Cada conversor possui uma faixa de entrada de sinal específica, que indica a faixa de sinal analógico a ser convertida em digital. A faixa do sinal na saída do circuito de condicionamento deve ser compatível com a faixa de entrada do conversor A/D para evitar perdas de resolução ou de faixa de medição.

Caso a faixa do sinal na saída do circuito de condicionamento seja menor que a faixa de entrada do conversor A/D, haverá perda na resolução da medição. Já ao contrário, se a faixa do sinal na saída do circuito de condicionamento for maior que a faixa de entrada do conversor A/D, haverá perda na faixa de medição.

1.1.2 Arquiteturas de ADC

Os conversores analógico-digitais possuem estruturas variadas, entre elas as mais conhecidas são: flash, pipeline, SAR, integrador e sigma-delta. Na escolha da arquitetura mais adequada para um projeto, deve-se levar em consideração o compromisso entre a resolução, a velocidade e o consumo de potência.

A arquitetura flash é usada em sistemas que requerem conversões rápidas, com resolução de 4 até 6 bits. Essa arquitetura tem a desvantagem de aumentar exponencialmente o número de comparadores, com o aumento da resolução. Logo, essa estrutura não é a mais adequada para projetos de circuitos integrados, que requerem consumo de potência baixo (FLASH, 2001).

A arquitetura pipeline apresenta resolução na faixa de 8 até 16 bits, e é mais adequada para conversão com taxas de amostragem de alguns MSPS (*Mega Samples Per Second* – Milhão de amostragem por segundo) por até 100 MSPS (PIPELINE, 2001). O tamanho da estrutura do pipeline aumenta de forma linear, com o aumento da resolução. Além disso, essa arquitetura pode ficar maior com o uso de circuitos paralelos que aumentam o rendimento do circuito, o que leva ao aumento da potência consumida e a latência.

A arquitetura de aproximação sucessiva SAR (*Successive Approximation Register*) é aplicada em sistemas que requerem taxa de conversão limitada a poucos MSPS. Conversor SAR possui resolução de 8 a 18 bits, e o tamanho da sua estrutura aumenta linearmente com o aumento da resolução (SAR, 2001).

O conversor integrador é aplicado em sistemas de aquisição de dados nos quais o tempo de conversão não é o principal requisito. Tal arquitetura apresenta um tempo de conversão alto, dependente da resolução, e que em alguns casos pode chegar a alguns segundos. Os ADC integradores atuais são usados para resoluções altas, superiores a 16 bits. Entretanto, o aumento de 1 bit na resolução do conversor eleva o tempo de conversão em duas vezes. Duas vantagens destes conversores é que a sua estrutura será praticamente a mesma com o aumento da resolução e são bastante imunes a variações de parâmetros (capacitâncias, resistências, etc.) (INTEGRADOR, 2001).

Os conversores sigma-delta são capazes de realizar conversões com resoluções elevadas de 24 bits em baixas frequências. Muitas aplicações que antes eram realizadas pelos conversores integradores mais antigos estão sendo feitas por ADC sigma-delta (KESTER, 2008). Na Figura 1.2 relaciona-se consumo de potência, resolução e velocidade dos conversores descritos acima.

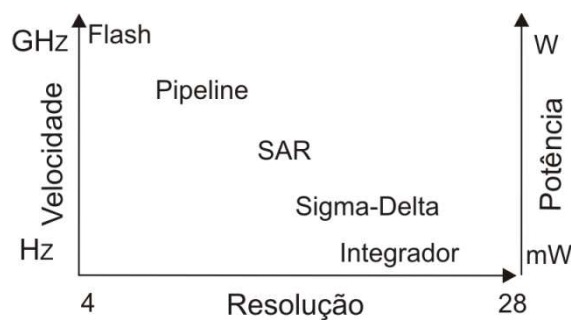


Figura 1.2 – Compromisso dos parâmetros num ADC: velocidade, resolução e potência.

1.1.3 Circuitos Programáveis

A proposta de flexibilizar um sistema de medição está relacionada com a intenção do aumento da aplicabilidade e redução dos custos deste. Um sistema de medição flexível possibilita o seu uso em diferentes aplicações, que normalmente necessitariam usar sistemas diferentes. Esse sistema é uma opção mais geral para diferentes medições, o que viabiliza sua produção em massa e o custo do sistema é reduzido.

Um sistema de medição programável é uma solução para medições envolvendo um conjunto de sensores de classes diferentes com um único conversor analógico-digital. Nesse caso, o sinal de saída de cada sensor deve ser ajustado para usar o máximo da faixa de entrada do conversor A/D para uma medição com perdas reduzidas, o que pode ser realizado usando um condicionamento de sinais programável.

O circuito de condicionamento programável convencional possui uma estrutura PGA (*Program Gain Amplifier* – Amplificador de ganho programável) para amplificar o sinal

de saída do sensor. Essa estrutura amplifica a faixa do sinal com ganho particular escolhido em um conjunto discreto de valores. A idéia do sistema de medição com circuito de condicionamento programável é mostrada na Figura 1.3. Nesta figura, os sensores A, B e C produzem sinais que ocupam faixas diferentes de variação, representadas por F_{sA} , F_{sB} e F_{sC} respectivamente. O condicionador programável ajusta os sinais para ocuparem uma mesma faixa F_{cp} .

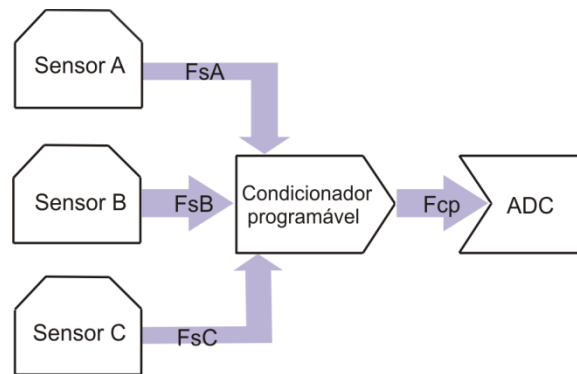


Figura 1.3 – Representação de um sistema de medição com circuito de condicionamento programável.

Um circuito de condicionamento programável proposto em Belfort (2008), e mostrado na Figura 1.4, permite o ajuste do nível CC e a amplificação da faixa do sinal com o uso de duas estruturas de ganho em série, G_1 e G_2 . Os valores desses ganhos pertencem a um conjunto finito estabelecido em Catunda (2003), com quantidade mínima de elementos que garante a totalidade na faixa de medição com perda de resolução de até 1 bit para um conjunto específico de sensores.

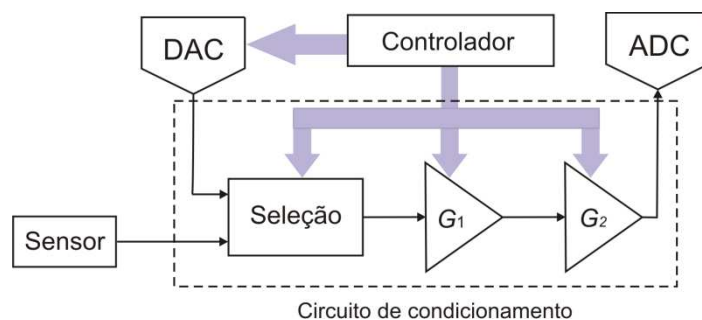


Figura 1.4 – Circuito de condicionamento programável proposto em Belfort (2008).

A programabilidade de um conversor A/D permite o ajuste de seus parâmetros de acordo com cada aplicação específica. Alguns parâmetros programáveis dos ADC estudados

são: tensão de alimentação (CHOI, 2008), velocidade da conversão e consumo de potência (GEELLEN, 2006) e resolução (GUEDDAH, 2006).

Alguns conversores A/D programáveis foram encontrados na literatura, mas não foram estudados a fundo nesta etapa de verificação da arquitetura do projeto. Esses conversores devem ser considerados na etapa final do projeto do conversor proposto, para fins de comparação. Eles são um conversor SAR proposto em Confalonieri (2004) que possui faixa de entrada programável, e sua faixa máxima varia até o valor da tensão de alimentação do circuito, com perda de resolução de 1 LSB; e um conversor sigma-delta, proposto por Jensen (2005), em que a programabilidade da faixa de entrada relaciona-se com a alteração da resistência de entrada de um resistor programável.

Alguns sistemas de medição utilizam conversores de tipos diferentes em sua estrutura, de forma reconfigurável. Essa técnica possibilita que um ADC, entre os disponíveis, seja selecionado para atuar numa medição específica. Assim, uma medição que requer uma resolução pequena pode acionar um ADC tipo flash e uma medição que envolva resolução alta pode acionar o conversor sigma-delta.

Quando mais de um ADC são utilizados numa mesma medição, eles são conhecidos como híbridos. Uma estrutura híbrida descrita em Fang (2009) combina as arquiteturas SAR e rampa dupla para garantir uma resolução de 12 bits, em que o SAR converte os 6 bits mais significativos e o rampa dupla converte a tensão residual que corresponde aos outros 6 bits. Essa organização permite um conversor com melhor consumo de potência, e menor área ocupada no CI quase usando apenas um conversor SAR de 12 bits e mais rápida que se usando um conversor rampa dupla de 12 bits.

1.2 Proposta do ADC Programável

O circuito de condicionamento programável proposto em Belfort (2008) permite o ajuste da faixa do sinal do sensor, com o uso de dois amplificadores em série. Entretanto, a inclusão de vários estágios analógicos de amplificação no canal de medição introduz mais ruídos e incertezas que são amplificados juntamente com o sinal de medição. Os ruídos amplificados serão influentes no resultado quando usados nos blocos analógicos seguintes do sistema de medição.

Nesta dissertação propõe-se uma estrutura de um conversor analógico-digital com a faixa de entrada programável, o que diminui a necessidade da amplificação do sinal no circuito de condicionamento levando-se à sua redução.

Enquanto em Belfort (2008) o circuito de condicionamento programável permite o ajuste da faixa do sinal, na arquitetura proposta, cuja idéia é ilustrada na Figura 1.5, a faixa de entrada do ADC é programável.

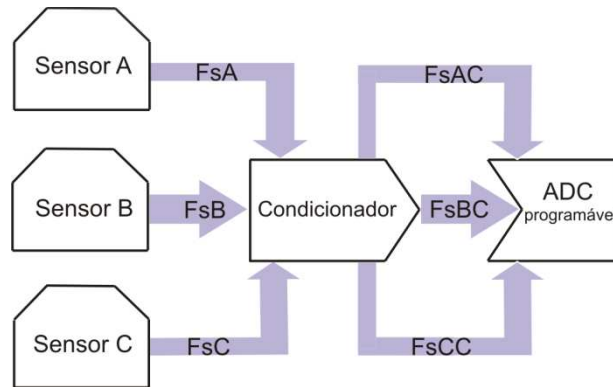


Figura 1.5 – Idéia do sistema de medição com conversor analógico-digital programável.

A arquitetura escolhida para o projeto do ADC programável é a de um conversor integrador. A escolha deve-se à boa precisão de conversão e à arquitetura, que permite alterações na resolução do conversor sem a necessidade do uso de elementos extras. Além da precisão, a simplicidade de realizar alterações na faixa de entrada do conversor integrador torna o uso desta arquitetura mais viável.

Entre as arquiteturas de conversor integrador, escolheu-se a rampa múltipla, uma arquitetura com resolução de conversão superior ao da estrutura dos integradores mais simples, tais como rampa simples e rampa dupla. Os valores das capacitâncias do capacitor programável usados neste ADC pertencem a um conjunto de valores de ganhos descritos em Catunda (2003), que garante a medição do sinal de entrada sem perda da faixa de medição e com perdas máximas de resolução de 1 LSB.

1.2.1 Justificativa

A utilização de um mesmo circuito para diferentes aplicações de medição possibilita o aumento de produção desse circuito e redução de seus custos de fabricação (por unidade) além da flexibilidade e padronização de interfaces de medição. Para um sistema de medição ser flexível, podem-se usar componentes internos programáveis, por exemplo, um circuito de condicionamento ou conversor A/D programáveis. O uso do conversor A/D proposto, em sistemas de medição, amplia a flexibilidade das aplicações desses sistemas, ao permitir medições com sinais de faixas de entrada diferentes.

1.2.2 Objetivos

O objetivo deste trabalho é propor uma arquitetura de conversor analógico-digital com faixa de entrada programável.

Os objetivos secundários são realizar e validar o projeto do conversor A/D em nível comportamental e estrutural, comprovando o seu funcionamento adequado com simulações em algoritmos e em macro blocos, descritos em linguagem SPICE.

1.2.3 Metodologia

A técnica para tornar a faixa de entrada programável, do conversor A/D, é proporcionar ganhos de amplitude no sinal de entrada através da seleção de componentes passivos do circuito. Com a arquitetura proposta, ganhos diferentes no sinal de entrada são obtidos com a variação da capacitância de um capacitor de entrada programável, sem a necessidade de amplificadores adicionais.

O conjunto mínimo de capacitâncias, do capacitor programável, é escolhido para garantir a medição sem perda da faixa de medição e com perda máxima de resolução de 1 LSB. As faixas de entrada do conversor A/D proposto são comprovadas com simulações comportamentais.

1.3 Organização da Dissertação

A dissertação está organizada da seguinte forma:

No Capítulo 2, descrevem-se algumas características gerais dos conversores analógico-digitais, e mostra-se a operação de algumas arquiteturas de ADC integrador;

No Capítulo 3, apresenta-se o conjunto com valores de ganhos, aplicado no projeto do capacitor programável e as especificações do ADC proposto;

No Capítulo 4, apresenta-se a arquitetura do conversor A/D proposto, em nível comportamental, e verifica-se sua operação, com simulações em algoritmo;

No Capítulo 5, apresenta-se a arquitetura do conversor A/D proposto, em nível estrutural, e verifica-se o seu funcionamento com simulações em SPICE;

No Capítulo 6, apresentam-se a conclusão e as propostas para trabalhos futuros;

Nos apêndices, mostram-se os algoritmos usados na simulação comportamental do conversor analógico-digital proposto;

No anexo, mostra-se o artigo que traz a metodologia usada para o cálculo do conjunto de ganhos descrito no Capítulo 3.

2. Conversor Analógico-Digital Integrador

Neste capítulo, inicialmente, descrevem-se as características importantes de um conversor analógico-digital. Em seguida, são descritas as estruturas básicas dos ADC classificados como integradores. Por fim, mostra-se uma estrutura a capacitor chaveado aplicada aos conversores integrados.

2.1 Características do ADC

Em um ADC são realizadas geralmente três operações: amostragem, quantização e codificação. A amostragem visa reter o valor da amplitude do sinal analógico de entrada, durante um período denominado de período de amostragem. Essa amplitude é então quantizada e codificada. O período em que ocorre amostragem, quantização e codificação de um sinal analógico está compreendido dentro do tempo de conversão, que corresponde ao tempo desde que é iniciada a conversão até que os valores digitais sejam apresentados na saída do conversor A/D.

A quantização pode ser definida como a representação de uma faixa de valores infinitos (sinal analógico) por uma faixa de valores finitos (sinal discreto). Na conversão A/D é geralmente feita uma quantização uniforme. Nesses casos o tamanho de cada passo analógico corresponde a 1 LSB. A codificação é a representação de cada valor de sinal quantizado por um código digital, tais como códigos: binário, Gray e o complemento de dois.

Para escolha de um conversor A/D a ser usado num sistema de medição, avaliam-se os requisitos exigidos a este sistema e os parâmetros básicos do ADC, tais como: resolução, tempo de conversão e consumo de potência. Logo, dependendo da aplicação, um desses parâmetros pode ser mais significativo que outro o que torna importante o conhecimento de cada um desses parâmetros.

A resolução (N) do ADC é um parâmetro relacionado com o número de bits por palavras digitais (P_D) usadas para representar o sinal analógico de entrada, sendo $P_D = 2^N$. Assim, um conversor com resolução de 10 bits representará um sinal analógico por 1024 palavras ou faixas. Na Figura 2.1 mostra-se a saída digital em função da entrada analógica, em que cada intervalo analógico tem comprimento ideal de 1 LSB, (Bit menos significativo – *Least significant bit*), para um conversor de 4 bits.

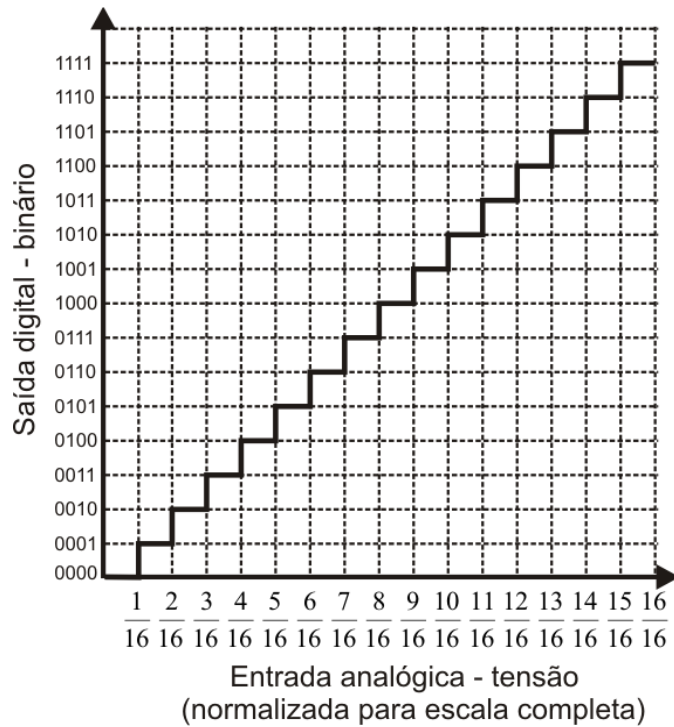


Figura 2.1– Representação do sinal analógico em código binário.

Nota-se na Figura 2.1 que um valor binário representa de forma aproximada cada faixa de valor analógico. Essa aproximação resulta em um erro de quantização, inerente a todo conversor. O erro de quantização está relacionado à resolução do conversor, e quanto maior a resolução, menor é o seu valor.

Em alguns ADC, a quantização analógica do sinal é realizada deslocando-se as transições de 0,5 LSB para esquerda e chamada de meia-faixa. Quando a primeira transição ocorre após 1 LSB, a quantização é chamada de meia-transição. Tais convenções são adotadas pela IEEE 1241-2000 e ilustradas na Figura 2.2, junto com os seus erros de quantização.

A faixa de entrada do ADC é a faixa máxima permitida de sinal analógico conversível sem causar perda na medição. Para conversores A/D de terminação única e de polaridade única, o limite superior da faixa do ADC, chamado de fundo de escala, é igual ao valor da tensão de referência do conversor e equivale ao valor digital $2^N - 1$ bit. O valor de fundo de escala e a resolução do conversor definem o valor do LSB. Como mostrado nos exemplos da Figura 2.2, para uma conversão com fundo de escala (V_{FS}) de 2 V e resolução (N) de 3 bits, o valor do LSB corresponderá a:

$$V_{LSB} = \frac{V_{FS}}{2^N} = \frac{2}{2^3} = 0,25 \text{ V} \quad (2.1)$$

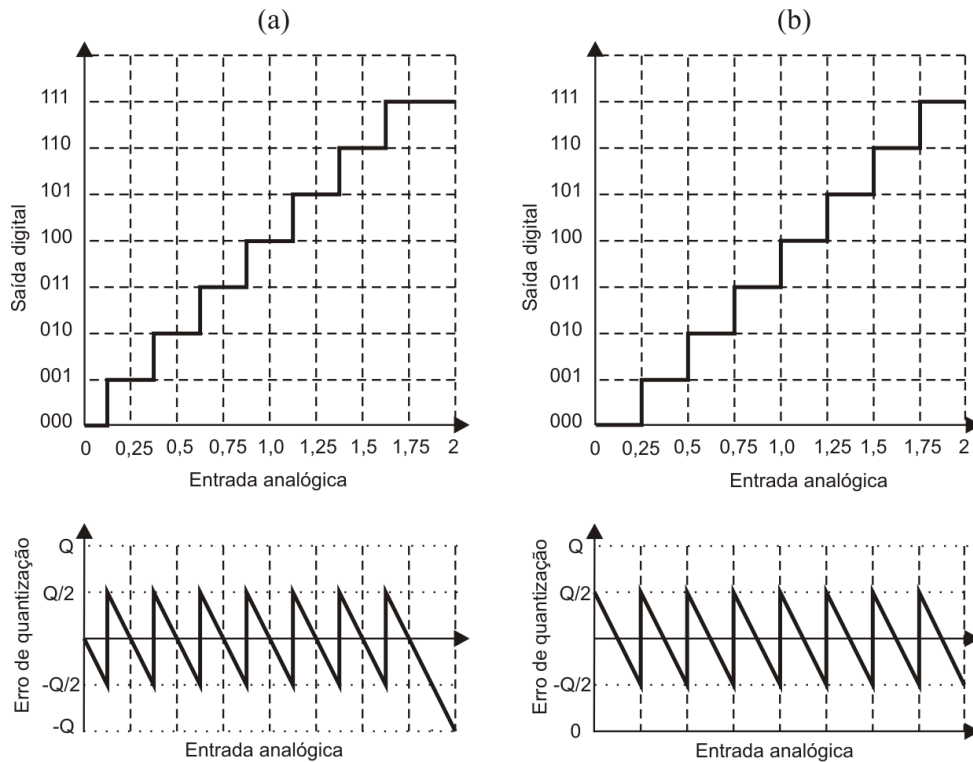


Figura 2.2– ADC de 3 bits; representações: (a) meia-faixa e seu erro de quantização; (b) meia-transição e seu erro de quantização.

A faixa dinâmica (*DR – Dynamic Range*) pode ser definida como a razão entre o sinal de entrada máximo V_{FS} e o nível de ruído, que para um ADC ideal equivale ao sinal de saída mínimo representável V_m , dado por 1 LSB. Um valor mínimo de 1 LSB é um caso ideal, pois apenas o erro de quantização é considerado. Em casos reais devem-se considerar outros ruídos, alguns não lineares e dependentes do sinal, o que requer diferentes cálculos para cada sinal diferente (FETTE, 2008).

A faixa dinâmica é representada em dB, e definida por:

$$DR = 20 \log \left(\frac{V_{FS}}{V_m} \right) \text{ dB} = 20 \log \left(\frac{V_{\max} - V_{\min}}{LSB} \right) \text{ dB} = 20 \log (2^N) \text{ dB} = 6,02N \text{ dB} \quad (2.2)$$

A faixa dinâmica do conversor pode também ser identificada pela sua resolução. Um ADC com resolução de N bits possui faixa dinâmica de 2^N passos. Assim, um conversor com resolução de 16 bits possui uma faixa dinâmica de 96,32 dB, ou 65536 passos, como se mostra na Figura 2.3. Em sistemas reais, a influência dos ruídos reduz essa faixa dinâmica. Tais ruídos estão presentes no ADC, tais como nos amplificadores, ou mesmo no sinal de entrada do conversor.

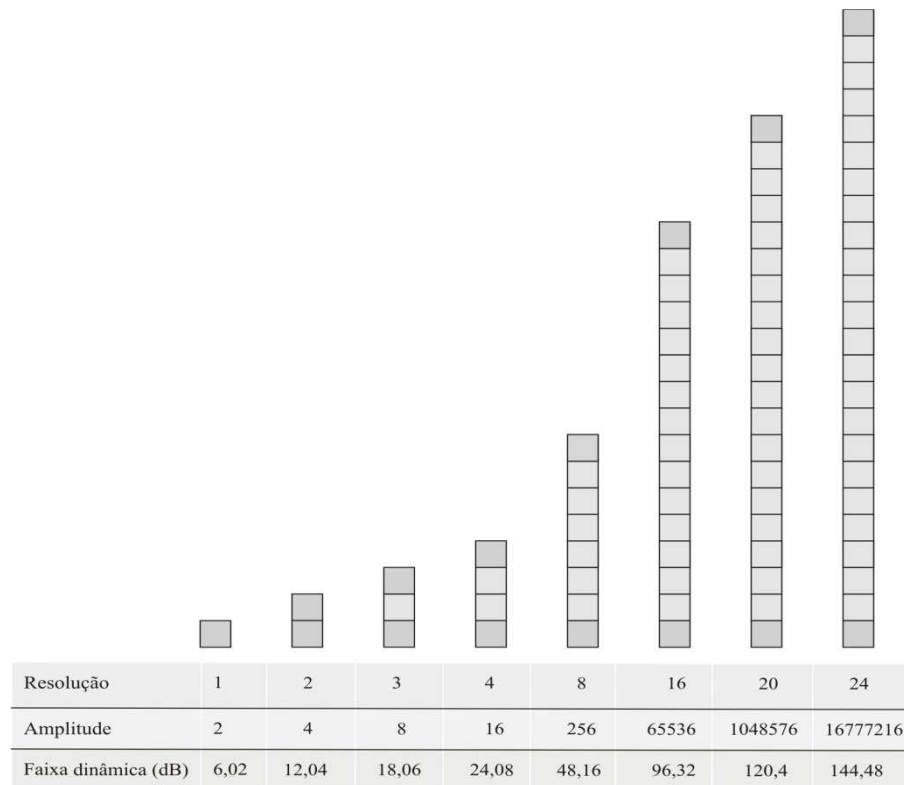


Figura 2.3 – Relação entre número de bits da resolução (representado por quadrados), amplitude de palavras digitais, e faixa dinâmica (dB) do conversor A/D.

Duas classificações dos conversores analógico-digitais são quanto à frequência de amostragem (conversor Nyquist ou de sobre amostragem) e a operação com amplificadores integradores (conversor integrador ou não integrador).

Um conversor Nyquist possui uma frequência de amostragem pelo menos duas vezes a frequência do sinal medido. Nessa frequência de amostragem, conhecida como taxa de Nyquist, é possível a reprodução do sinal de entrada analógico. Frequências de amostragem inferiores à taxa de Nyquist ocasionam o efeito indesejável do recobrimento (*aliasing*) do sinal, requerendo assim o uso de um filtro analógico passa-baixa anti-recobrimento com estrutura complexa (MALOBERTI, 2007).

Os conversores de sobre amostragem possuem uma frequência de amostragem muitas vezes a taxa de Nyquist o que traz benefícios ao circuito, tais como o uso de um filtro anti-recobrimento menos complexo. Adicionalmente, estes conversores precisam de um filtro de decimação, cuja estrutura é simples. O processo de decimação é usado para aumentar a resolução da conversão.

Os conversores integradores operam com a integração do sinal analógico de entrada, e o tempo de conversão torna-se elevado. Embora os conversores integradores sejam de uma forma geral, mais lento que os não-integradores, eles possuem boa imunidade ao ruído

e são usados em aplicações que requerem uma alta resolução. Exemplos de conversores integradores são os de rampa (simples, dupla, múltiplas) e o sigma-delta.

As medidas de desempenho são usadas para avaliar o funcionamento do conversor na presença de ruídos e descasamentos (*mismatches*) e verificar os erros que influenciam na conversão. As medidas de desempenho estático (INL, DNL, erro de ganho e erro de *offset*) avaliam a linearidade da conversão através da aplicação de um sinal contínuo. As medidas de desempenho dinâmico (SNR, SFDR, THD, SINAD e ENOB) são usadas através da aplicação de um sinal senoidal para avaliar os ruídos e as distorções em frequência.

2.1.1 *Medidas de Desempenho Estático*

As medidas de desempenho estático são importantes quando o ADC é aplicado numa medição com sinais que variam pouco ou lentamente. Tais medidas podem ser determinadas com o uso de um sinal tipo rampa na entrada do ADC. Com a rampa, o sinal analógico terá valores de zero até a sua escala completa, e a saída digital terá uma forma de escada crescente, com cada degrau possuindo o mesmo comprimento, no caso de um conversor ideal. A linha que une o ponto inicial zero, e o ponto de escala completa, passando pelos pontos médios de cada degrau forma uma reta que representa a função de transferência do ADC (GUSTAVSSON, 2002).

O erro de desvio (*offset*) é dado pelo desvio na primeira transição em relação ao valor da transição ideal. A primeira transição ideal ocorre em 1 LSB (meia-transição) ou em $LSB/2$ (meia-faixa), dependendo da convenção adotada. Para a quantização em meia-faixa o desvio é exemplificado na Figura 2.4 (a) através da seta.

O erro de ganho, como mostrado na Figura 2.4 (b), indica a diferença entre a saída atual e a ideal quando a entrada estiver na escala completa, e pode ser representado em termos de uma porcentagem do LSB. A soma do erro de ganho e de *offset* resulta no erro de escala completa.

Outras não linearidades, que ocorrem em medições com ADC não ideais, alteram o tamanho dos passos analógicos que representam a conversão analógico-digital, ocasionando imperfeições, tais como: DNL (*Differential Non Linearity*) e INL (*Integral Non Linearity*).

O erro DNL ocorre quando um passo é diferente de 1 LSB. Caso o erro DNL seja, em módulo, maior que 1 LSB, provavelmente ocorrerá uma perda de código. O erro INL é o máximo desvio entre as linhas das funções de transferência real e a ideal. Este erro representa a soma de todos os valores DNL (QUINN, 2007). Na Figura 2.5 mostram-se os erros de DNL e INL.

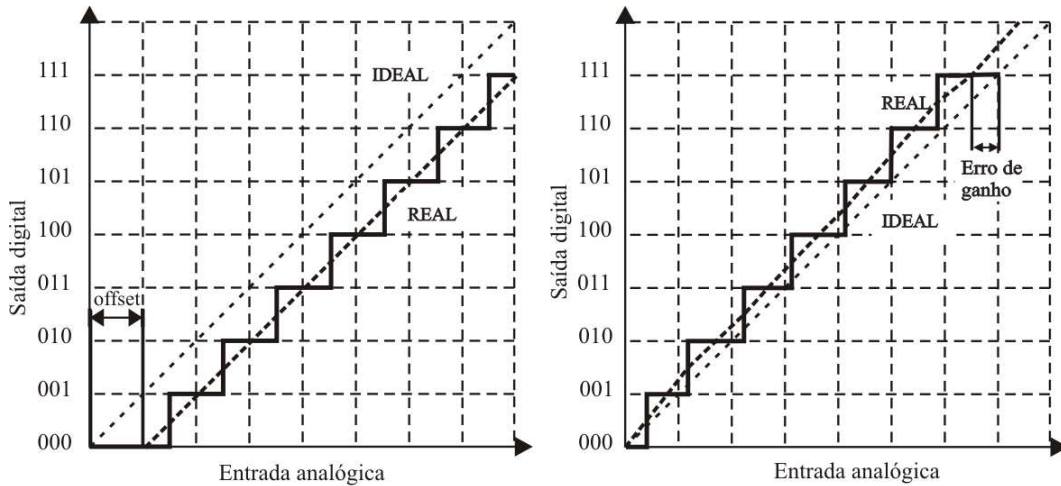


Figura 2.4– Erros do ADC: (a) desvio; (b) erro de ganho.

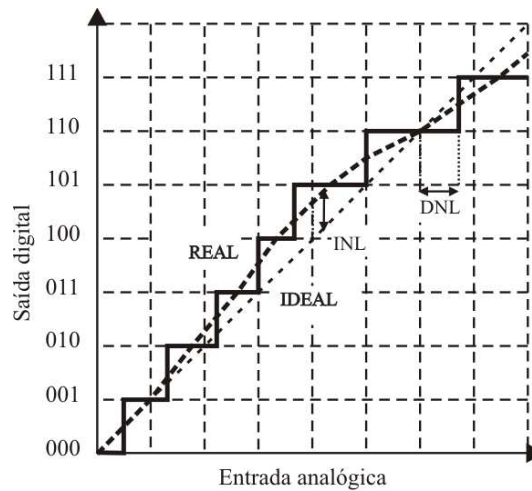


Figura 2.5– Erros de linearidade do ADC: INL e DNL.

2.1.2 Medidas de Desempenho Dinâmico

O uso de um ADC para medições de sinais CA com altas taxas de variações requer a análise de alguns parâmetros dinâmicos para se avaliar o comportamento do sinal no domínio da frequência. A análise dinâmica do ADC é realizada com a técnica de FFT (*Fast Fourier Transformer*) para verificação de algumas relações entre o sinal senoidal na entrada, os ruídos e os harmônicos, tais como: SFDR, THD, SINAD, ENOB e SNR (GUSTAVSSON, 2002).

O SFDR (*Spurious Free Dynamic Range* – faixa dinâmica livre de espúrios) é a razão entre a amplitude da frequência fundamental e o sinal de espúrio mais largo, na largura de banda dada. Na Figura 2.6 mostra-se o espúrio mais largo e o SFDR em dB.

O THD (*Total Harmonic Distortion*– taxa de distorção harmônica total) é a razão entre a soma rms (*root mean square*) dos harmônicos (geralmente os 6 primeiros) e o valor

rms da amplitude da frequência fundamental do sinal. Diferente do SFDR, que avalia apenas o harmônico mais largo, o THD serve para avaliar a distorção provocada pelos harmônicos e assim avaliar a influência deles no sinal senoidal (CHUNLEI, 2002).

O SINAD (*Signal to Noise And Distortion*– ruído e distorção do sinal) é a razão entre o valor rms da amplitude do sinal, da saída do ADC, e os valores rms do ruído mais os harmônicos.

O ENOB (*Effective Number Of Bits* – número efetivo de bits) é encontrado em função do SINAD e indica a resolução que um conversor ideal teria se este possuísse o valor SINAD de um ADC real. O SNR (*Signal-to-Noise Ratio*) é similar ao SINAD, mas excluindo os harmônicos de sua análise.

O SNR é um parâmetro importante para verificar a influência dos ruídos em um ADC. Este leva em consideração os ruídos presentes no sinal de entrada, e dessa forma, para um sinal senoidal tem-se:

$$SNR_{ideal} = DR + 1,76 \text{ dB} \quad (2.3)$$

O primeiro termo está relacionado diretamente com a resolução do conversor. Em contraste, o segundo termo, 1,76 dB, é uma contribuição da forma de onda do sinal: neste caso a forma de onda do sinal de entrada é uma onda senoidal. Esta fórmula representa o desempenho teórico de um ADC de R bits perfeito. Um SNR teórico máximo assume um sinal de entrada perfeito. Pode-se comparar o SNR atual do ADC com o SNR teórico e ter uma idéia de como este evolui.

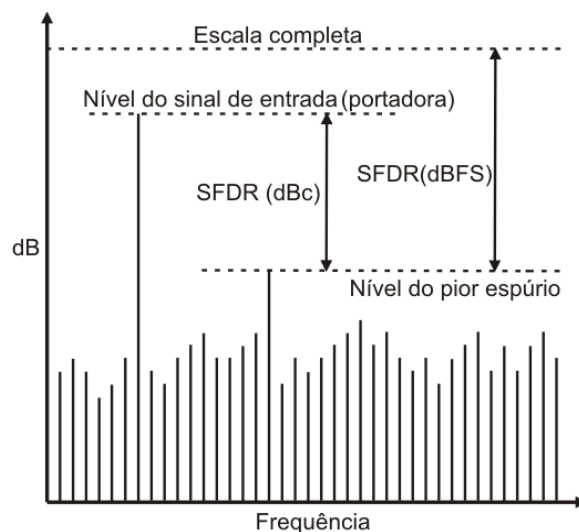


Figura 2.6– Exemplo de SFDR em relação ao sinal de entrada e escala completa.

2.2 Conversor Integrador

Os ADC integradores funcionam com a integração de um sinal, de referência ou de entrada. Esse sinal alimentará um capacitor, e durante um período de tempo este será carregado ou descarregado. Este tempo é proporcional ao sinal de entrada, e com o uso de um contador o sinal é representado de forma digital. Assim, pode-se dizer que ocorrem duas conversões: uma conversão da tensão em tempo, e outra do tempo em digital.

A conversão por integração requer um tempo longo, o que torna este tipo de ADC adequado para aplicações em que o tempo de conversão não é o requisito mais importante, tais como em medidores de temperatura, multímetros digitais e medidores de painel. Apesar de lentos, o conversor integrador possui estrutura relativamente simples e de baixo custo, e pode ser usada com resolução superior a 20 bits sem o seu aumento significativo.

Outra vantagem desse tipo de ADC é a sua boa linearidade que garante erros de ganho e de desvio muito baixos. A seguir, apresentam-se os ADC integradores: rampa simples, rampa dupla e rampa múltipla.

2.2.1 Conversor Rampa Simples

O conversor rampa simples é o tipo de conversor integrador mais antigo e com operação mais simples, e suas aplicações estão muito limitadas devido à substituição destes ADC por estruturas mais complexas que garantem uma melhor resolução. Sua estrutura básica, ilustrada na Figura 2.7 é composta por: amplificador integrador, comparador, contador e um bloco de controle lógico.

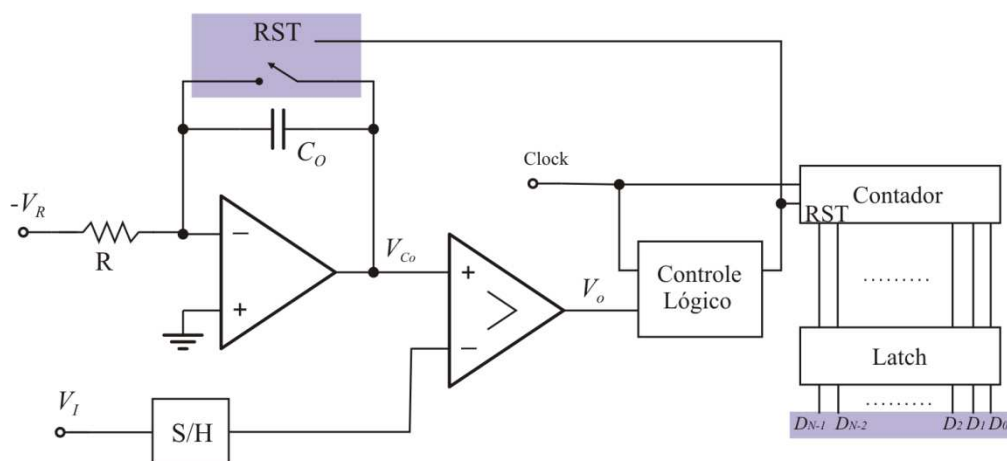


Figura 2.7– Diagrama em blocos de um conversor rampa simples.

Neste ADC, o sinal de referência $-V_R$ usado é integrado por um período de tempo e comparado com o sinal de entrada V_I , enquanto um contador é incrementado por pulsos de

relógio. Quando o sinal integrado for maior do que o sinal de entrada, o comparador muda a saída para o estado lógico “1” que finaliza a contagem dos pulsos e o valor do contador é enviado para uma unidade de armazenamento. Esse valor é a representação digital do sinal de entrada analógico. Na Figura 2.8 são mostradas a tensão na saída do integrador, a saída do comparador e a contagem de pulsos.

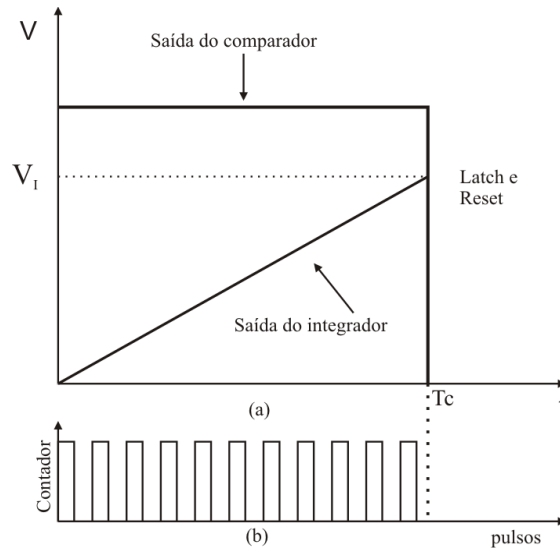


Figura 2.8– Rampa simples: (a) tensão na saída do integrador e tensão na saída do comparador; (b) contagem dos bits.

Para aplicações que usam sinal de entrada pequeno, o tempo de conversão é muito pequeno, pois o sinal de referência integrado será igual ao sinal de entrada em poucos pulsos de relógio. Entretanto, o tempo máximo de conversão, para quando a tensão de entrada é igual à tensão de referência, é de 2^N pulsos de relógio, em que N é a resolução do ADC.

O tempo de conversão, T_c , é dependente do valor do sinal de entrada, V_I , do tempo do período do relógio, T_{CLK} , e pode ser descrito como:

$$T_c = \frac{V_I}{V_R} 2^N \cdot T_{CLK} \quad (2.4)$$

No final da conversão o valor da tensão no capacitor integrador será:

$$V_{CO} = -\frac{1}{C} \int_0^{T_c} \frac{-V_R}{R} dt = \frac{V_R T_c}{RC} \quad (2.5)$$

Substituindo-se a expressão (2.4) do tempo de conversão T_c na equação (2.5), resulta em:

$$V_{CO} = \frac{2^N \cdot T_{CLK} \cdot V_I}{RC} = \frac{2^N \cdot V_I}{f_{CLK} \cdot RC} \quad (2.6)$$

Na expressão (2.6) nota-se que a tensão na saída do integrador não depende somente da tensão de entrada, mas também dos valores de R , C e f_{CLK} . Essa dependência é uma grande desvantagem, pois qualquer incerteza nesses valores terá uma influência sobre a exatidão da saída do integrador.

A saída do integrador, V_{CO} , que deve ser uma rampa linear, depende das especificações do amplificador operacional (ganho em malha aberta, tempo de acomodação, tensão de desvio, etc.). Uma tensão de desvio na entrada do comparador ou integrador pode aumentar ou diminuir o número de pulsos de relógio no contador, causando erro de ganho.

2.2.2 Conversor Rampa Dupla

Um ADC rampa dupla opera basicamente com dois períodos de integração, o que pode tornar a conversão até duas vezes mais lenta que a conversão com o ADC rampa simples, para uma mesma resolução. Apesar de mais lento, este ADC permite uma conversão mais precisa, por causa da independência quanto variações paramétricas nos resistores e capacitores. Como ocorrem duas integrações, qualquer variação no valor da resistência, devido, por exemplo, à temperatura, provoca desvios na primeira integração, mas que são cancelados na segunda etapa de integração, mantendo-se a linearidade da conversão.

O ADC rampa dupla tem a estrutura similar ao conversor rampa simples, como mostrado na Figura 2.9. No entanto, são realizadas duas etapas de integração: uma para o sinal de entrada V_I e a outra para o sinal de referência $-V_R$. A tensão de entrada possui polaridade positiva, tal que na saída do integrador a tensão é invertida, resultando numa rampa com declividade negativa na primeira etapa.

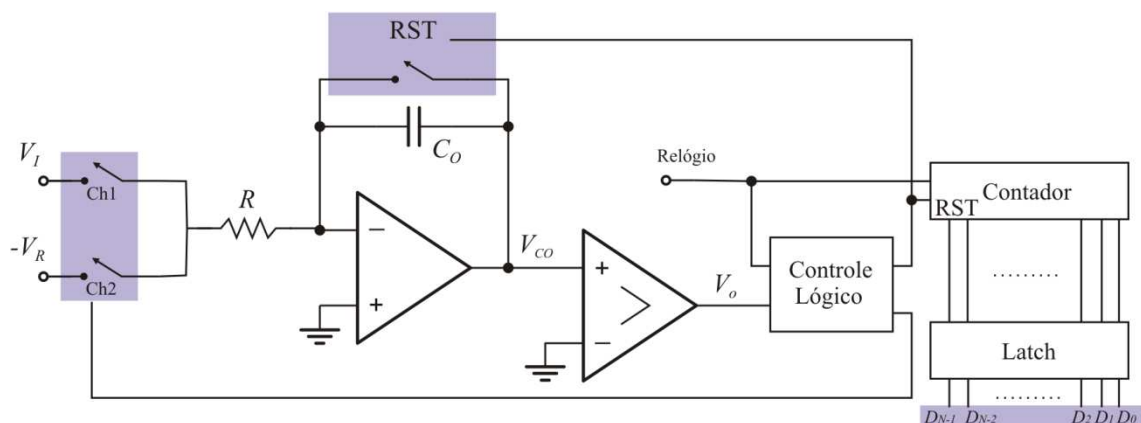


Figura 2.9– Diagrama em blocos de um conversor rampa dupla.

A primeira integração sempre ocorre num período fixo T_1 , que é função da frequência de relógio f_{CLK} , do contador e da resolução N . Assim, cada incremento de 1 bit de resolução significa um tempo de integração duas vezes maior, o que aumenta bastante o tempo da conversão.

$$T_1 = \frac{2^N}{f_{CLK}} \quad (2.7)$$

Como V_I é positivo, o capacitor integrador foi inicialmente carregado, gerando uma rampa negativa relacionada por:

$$V_{CO} = -\frac{1}{C} \int_0^{T_1} \frac{V_I}{R} dt = -\frac{V_I \cdot T_1}{RC} \quad (2.8)$$

Após T_1 , o contador é zerado, e a tensão de referência é conectada para a entrada do integrador iniciando o período de tempo T_2 . Como V_R é uma tensão negativa, será gerada uma rampa constante com declividade positiva, descarregando o capacitor. A tensão que resulta no capacitor é dada por:

$$V_{CO} = -\frac{1}{C} \int_{T_1}^{T_1+T_2} \frac{-V_R}{R} dt - \frac{V_I \cdot T_1}{RC} = \frac{V_R \cdot T_2}{RC} - \frac{V_I \cdot T_1}{RC} \quad (2.9)$$

O intervalo de tempo T_2 é iniciado com a formação da rampa com declividade positiva e dura até o momento em que o capacitor se descarrega por completo. Neste instante, a tensão no capacitor será zero, e substituindo-se $V_{CO} = 0$ na equação (2.9) obtém-se:

$$\frac{V_I \cdot T_1}{RC} = \frac{V_R \cdot T_2}{RC} \rightarrow V_I = \frac{V_R \cdot T_2}{T_1} \quad (2.10)$$

Na equação (2.10) mostra-se que a dependência de R e C foi cancelada. Considerando que o tempo T_1 equivale a 2^N e o tempo T_2 é uma variável, denominada de D , a equação pode ser reescrita como:

$$D = \frac{2^N \cdot V_I}{V_R} \quad (2.11)$$

A variável D representa o valor digital da conversão. Na Figura 2.10 são mostradas as rampas de subida, conhecida como *runup*, e de descida, conhecida como *rundown*, e a contagem de pulsos dos seus períodos.

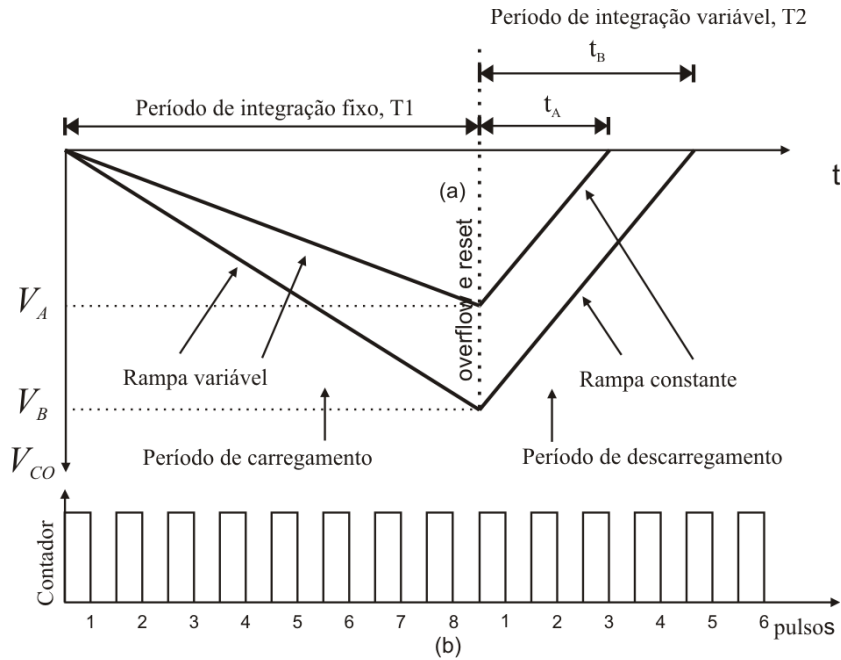


Figura 2.10– Tensão na saída do integrador do ADC rampa dupla e a contagem dos pulsos.

Uma forma de aumentar a velocidade do ADC rampa dupla é com o uso de um par de resistores, um para o *runup* e o outro para o *rundown*, como mostrado Figura 2.11 e descrito em Goeke (1985).

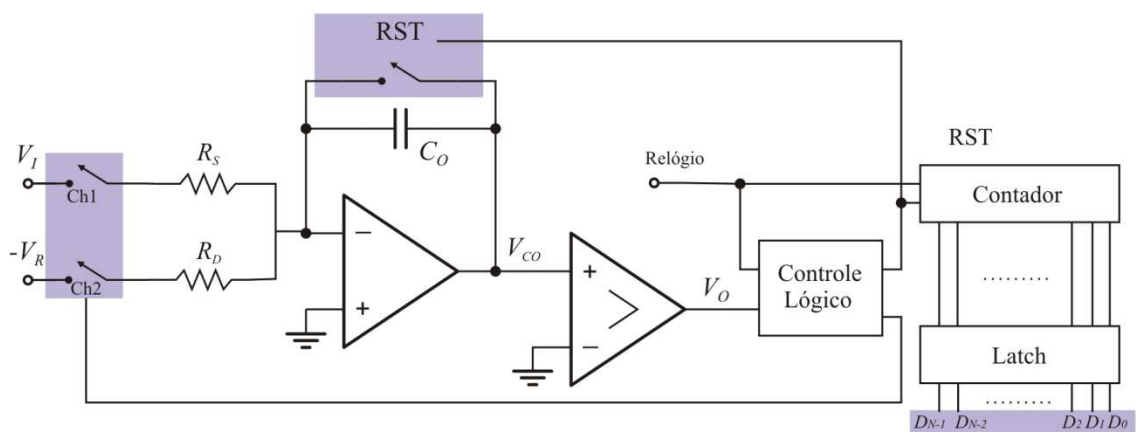


Figura 2.11– Conversor rampa dupla com dois resistores R_S/R_D no integrador.

O sinal de entrada V_I é colocado junto ao resistor R_S , no qual possui resistência bem menor do que o resistor R_D , e este é relacionado ao V_R no período *runup*. Assim o tempo *rundown* é reduzido pela razão de R_S e R_D enquanto é mantida a mesma resolução durante o

runup. Como desvantagem, o conversor é mais sensível a variações paramétricas dos resistores devido à tensão V_I ser dependente da razão dos resistores, conforme mostrado em (2.12).

$$V_I = V_R \cdot \left(\frac{T_2}{T_1} \right) \cdot \left(\frac{R_S}{R_D} \right) \quad (2.12)$$

Um fator que insere erros na resolução, e assim limita o funcionamento deste conversor é a tensão de desvio do amplificador. Com a finalidade de reduzir o *offset*, outras estruturas foram propostas, tais como o conversor rampa múltipla.

2.2.3 Conversor Rampa Múltipla Runup

O conversor rampa múltipla *runup* permite obter resolução superior ao do rampa dupla, ao superar os limites deste quanto à variação máxima de tensão do integrador e o ruído do circuito em largura de banda (GOEKE, 1985). A técnica usada soma tensão de referência, ora positiva ora negativa, no capacitor integrador, para gerar rampas que mudam de sentido durante o período *runup*. Dessa forma, variações mais largas de tensão são alcançadas e os limites de saturação nunca serão atingidos.

A estrutura do integrador do conversor rampa múltipla, mostrada na Figura 2.12, possui duas chaves: a P, ligada à tensão de referência positiva (V_R) e a chave N, relacionada à referência negativa ($-V_R$). Enquanto a tensão de entrada está sempre aplicada, as tensões de referência alternam de acordo com o controle das chaves, afim de que a tensão no integrador esteja dentro da faixa de tensão desejada. Observa-se que as resistências de R_P e R_N devem ser maiores que a resistência R_I , para garantir que as rampas possam subir e descer sem provocar a saturação do sinal.

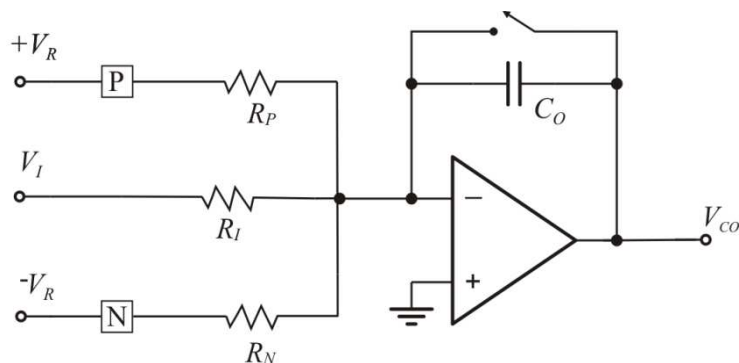


Figura 2.12– Integrador do conversor rampa múltipla *runup*.

As chaves P e N operam com fechamento não-simultâneo num intervalo de relógio Δt , e seus chaveamentos são controlados pelo sinal de um comparador que compara a tensão na saída do integrador com zero. Quando a tensão na saída do integrador (V_{CO}) é superior à tensão de comparação, o controle ativará a chave P, que reduzirá a tensão na saída do integrador. Já se a tensão V_{CO} for inferior à tensão de comparação o controle ativará a chave N, que aumentará a tensão na saída do integrador. Na conversão ocorrerão L comparações, em que L é a soma do número de vezes que as chaves P (L_P) e N (L_N) foram ativadas. A relação de V_{CO} com os componentes do circuito, após L ciclos de relógio, é dada por:

$$V_{CO} = -\frac{\frac{LV_i\Delta t}{R_I} + \frac{L_P V_R \Delta t}{R_P} - \frac{L_N V_R \Delta t}{R_N}}{C_o} \quad (2.13)$$

Essas chaves alternam ao longo da conversão, e cada vez que a chave P for ativada haverá um decremento num contador *up/down*, assim como quando uma chave N for ativada haverá um incremento neste contador. Nesse contador *up/down* será representado o valor digital da conversão. Ao final da conversão, considerando que a carga no capacitor será zero, a relação entre a tensão de entrada e as contagens de P e N é dada por:

$$V_I = \left(\frac{L_N}{R_N} - \frac{L_P}{R_P} \right) \cdot \frac{R_I}{L} V_R \quad (2.14)$$

Na Figura 2.13 é mostrado um exemplo de variação da tensão na saída do integrador para uma tensão de comparação zero. A tensão na saída do integrador varia em torno da tensão de comparação, formando rampas, com declividade decidida num instante final de cada pulso de relógio. Neste instante, se a tensão na saída do integrador for maior que zero, a chave P é fechada, e a declividade da rampa torna-se negativa. Caso contrário, se a tensão V_{CO} for menor que zero, a chave N é fechada, e a declividade torna-se positiva.

A linha de tensão efetiva representa a variação de tensão na saída do integrador, sem a contribuição da tensão de referência, o que acontece, por exemplo, no conversor rampa dupla. No conversor rampa múltipla, a tensão na saída do integrador permanece dentro dos limites de tensão de operação do circuito enquanto que a tensão efetiva, mostrada na Figura 2.13, varia bem além do seu limite.

Apesar das vantagens deste ADC quanto à resolução, não é possível aumentá-la indefinidamente apenas com o uso de um tempo mais longo de *runup*. Erros são introduzidos

neste ADC pela ação das chaves, tais como: injeção de carga não requerida e erros no tempo do chaveamento.

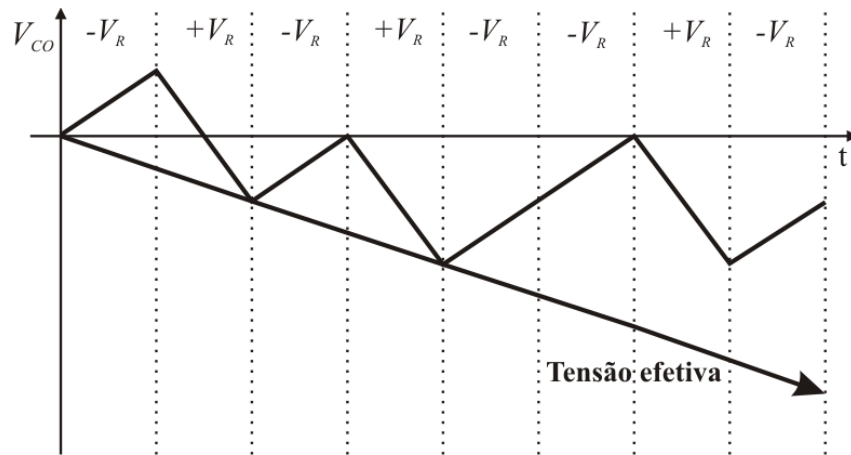


Figura 2.13– Tensão na saída do integrador do ADC rampa múltipla *runup*.

2.3 Capacitor Chaveado

A estrutura a capacitor chaveado, usada em circuitos integrados, substitui o uso de resistores convencionais, que ocupam um espaço físico grande. Como mostrado na Figura 2.14, um resistor é simulado com o uso de um capacitor e um par de chaves analógicas que são acionadas de forma alternada e não simultânea, pelas fases de relógio f_1 e f_2 . A aplicação do circuito chaveado permite precisão melhor do que o uso de um resistor, pois, a incerteza da razão entre dois capacitores é menor que a incerteza da razão entre um resistor e um capacitor, numa mesma pastilha de circuito integrado (LIU, 2006).

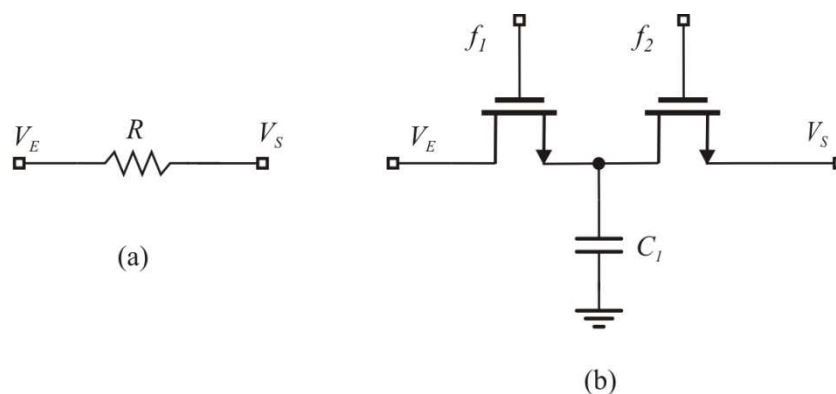


Figura 2.14– Equivalência do resistor em (a), com o uso do capacitor chaveado em (b).

A operação de circuitos a capacitor chaveado é discreta o que permite o controle da transferência de cargas entre os capacitores. Na Figura 2.14, considerando que a tensão de

entrada não varia significativamente durante certo período, a carga transferida entre a tensão de entrada V_E e o nó terra virtual em V_S , com a operação das chaves dadas por f_1 e f_2 , é:

$$\Delta q = C_I \cdot V_E \quad (2.15)$$

Se este processo de chaveamento é repetido n vezes no tempo, obtém-se:

$$\frac{\Delta q}{\Delta t} = C_I \cdot V_E \cdot \frac{n}{\Delta t} \quad (2.16)$$

Na última equação, substituindo-se a corrente e a frequência de relógio, obtém-se:

$$i = C_I \cdot V_E \cdot f_{CLK} \quad (2.17)$$

Determina-se dessa forma o valor da resistência equivalente da estrutura com capacitor chaveado.

$$\frac{V_E}{i} = R = \frac{1}{C_I \cdot f_{CLK}} \quad (2.18)$$

O valor da resistência equivalente é proporcional à frequência de chaveamento e à capacitância, o que possibilita aplicações flexíveis em filtros e conversores analógico-digitais.

O resistor simulado pelo capacitor chaveado mostrado na Figura 2.14, por ser muito sensível a capacitâncias parasitas, possui pouco uso em projeto de circuitos integrados.

Outra estrutura a capacitor chaveado, mostrada na Figura 2.15 (a), é uma das mais adotadas como solução para simulação de resistores. Esta configuração tem preferência sobre a anterior, principalmente por causa da sua insensibilidade a capacitâncias parasitas presentes no circuito, no qual a estrutura anterior sofre. Por esse motivo, a configuração descrita a seguir será usada na implementação dos resistores do conversor proposto (LIU, 2006).

Outra vantagem da configuração mostrada na Figura 2.15 (a) é que esta é útil quando se precisa operar com a tensão de entrada (V_E) invertida, operação que depende da sequência de fechamento e abertura das chaves. O módulo da resistência equivalente desta estrutura é dado pela Equação (2.18).

A operação para inverter a tensão de entrada é mostrada na Figura 2.15 (b.1 e b.2). Para inverter a tensão, uma carga de V_E é inicialmente acumulada no capacitor C_I , operação realizada quando as chaves A são ativadas pela fase de relógio f_1 . Em um segundo momento,

as chaves B são ativadas por f_2 , e uma tensão com polaridade invertida é injetada na saída do circuito.

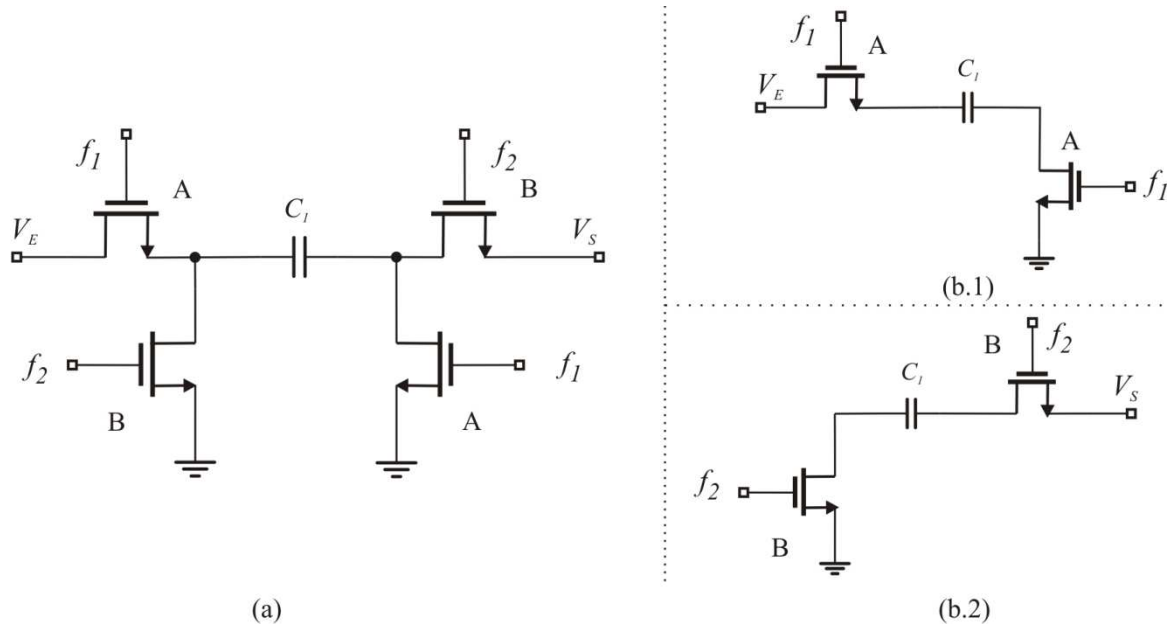


Figura 2.15– Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo tensão invertida.

Para simular uma tensão sem inversão de fase, a carga de V_E é inicialmente acumulada no capacitor C_I , e transmitida à saída do circuito, quando as chaves A estão ativadas pela fase de relógio f_1 . Em um segundo momento, as chaves B são ativadas por f_2 , para que o capacitor C_I seja descarregado. A operação é mostrada na Figura 2.16 (b.1 e b.2).

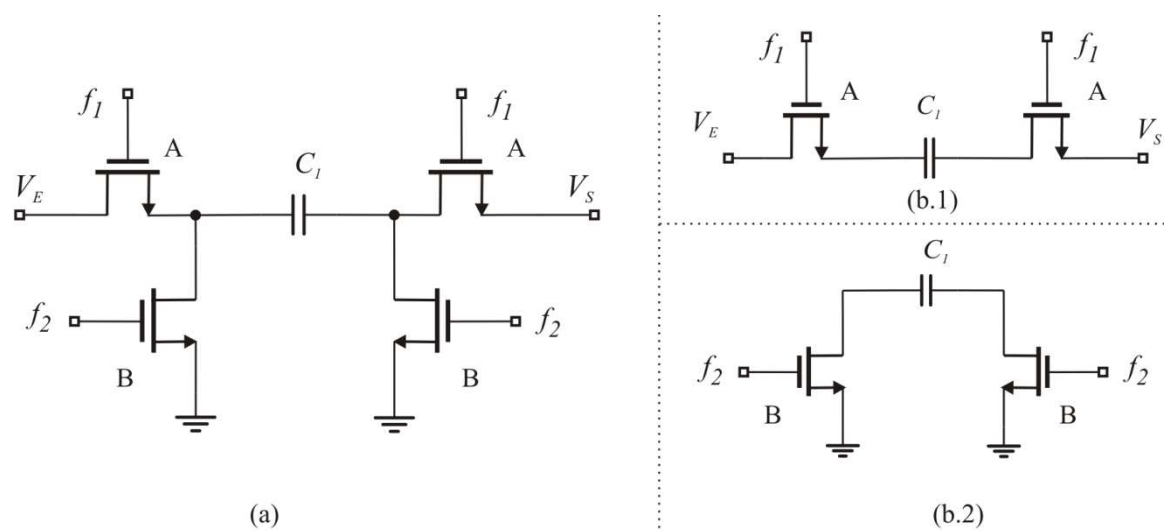


Figura 2.16– Equivalência do resistor com o uso do capacitor chaveado insensível a capacitâncias parasitas no modo tensão não invertida.

3. Especificação do Conversor A/D Programável

Neste capítulo, descreve-se uma técnica para tornar a faixa de entrada do ADC programável. Um conversor com faixa de entrada flexível pode ser projetado usando-se uma capacitância variável na entrada do circuito, o que proporciona faixas variáveis de tensão de entrada. Cada faixa é proporcional a um ganho pertencente a um conjunto discreto de ganhos, como definido em Catunda (2003), cujos valores garantem uma medição sem perda da faixa de medição e com mínima perda de resolução. Por fim, são mostradas as especificações para o projeto do conversor A/D proposto.

3.1 Faixa de Entrada do ADC

A faixa de tensão de entrada é a diferença entre o valor máximo e o mínimo de entrada do sinal analógico especificada para o ADC. Para sinais de terminação única e não negativos o limite superior da faixa do ADC é igual à tensão de referência e o inferior é igual à zero.

Numa conversão de analógico para digital ideal, a faixa do sinal analógico deve ser equivalente à faixa de entrada do ADC. Na prática é comum ter essas duas faixas diferentes, o que proporciona perda de resolução ou da faixa do sinal de medição dada por:

$$N_L = \log_2 \left(\frac{\Delta_{ADC}}{\Delta_{VI}} \right) \quad (3.1)$$

em que Δ_{ADC} corresponde à faixa na entrada do conversor e Δ_{VI} é a faixa do sinal (CATUNDA, 2003).

Na Figura 3.1, mostra-se a faixa do sinal de 0 a 2,3 V, e a faixa de entrada do ADC de 0 a 2,56 V. Nesse caso o sistema de medição não utilizará toda a resolução do conversor A/D, ocorrendo uma perda de resolução de 0,1545 bit.

Quando a faixa do sinal é inferior à faixa do ADC há uma perda na resolução, que, em princípio, pode ser compensada com o uso de um conversor com resolução maior. Uma faixa do sinal superior à do ADC leva a uma perda de medição em uma parte da faixa do

signal. O conversor programável proposto, neste trabalho, é especificado para apresentar uma perda de resolução máxima de 1 bit, e medição da faixa completa do sinal.

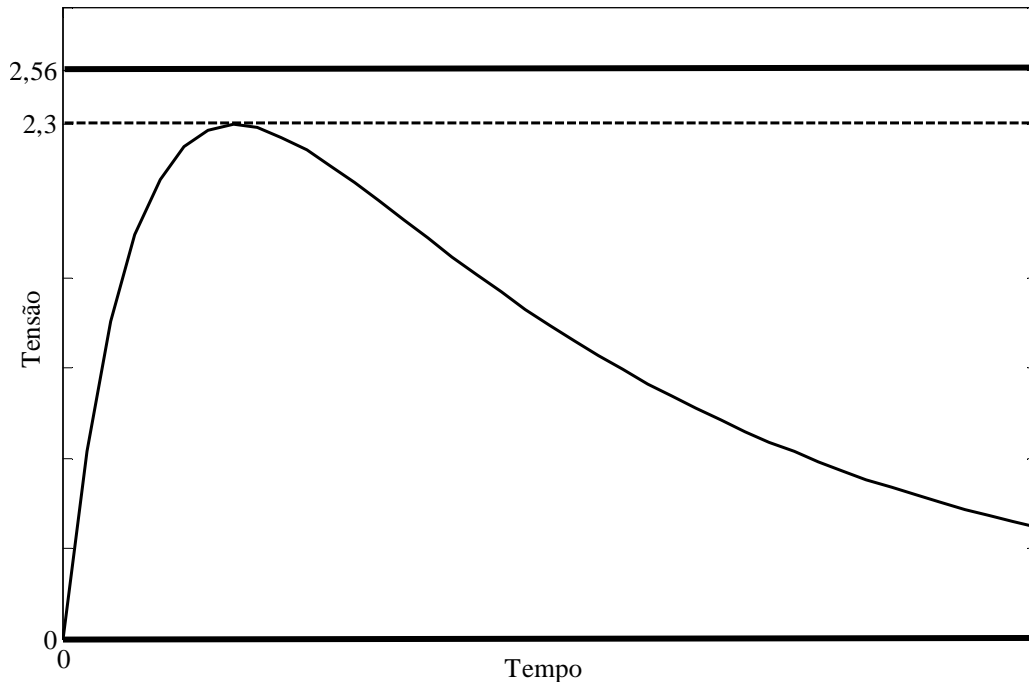


Figura 3.1– Faixa do sinal e a faixa de entrada do ADC.

A faixa de entrada programável do ADC ajusta-se à faixa do sinal, para reduzir perdas quando sensores diferentes são usados, o que generaliza a aplicação do conversor. Para se obter um ADC com tal programabilidade, deve-se usar uma estrutura que possibilite ganhos no sinal analógico da entrada do conversor.

Uma estrutura de um integrador, como mostrado na Figura 3.2, pode ser empregada para prover ganhos no sinal analógico. Neste caso, um resistor simulado por capacitor chaveado possui uma capacitância variável C_I e a cada valor de C_I , haverá uma contribuição de tensão na saída do amplificador. O ganho do sinal é dado pela razão de C_I por C_O e o valor da tensão na saída do amplificador será dado por:

$$V_{CO} = -\frac{1}{R_I C_O} \int_{T_1}^{T_2} V_I(t) dt = -\frac{C_I \cdot f_{CLK}}{C_O} \int_{T_1}^{T_2} V_I(t) dt \quad (3.2)$$

Neste trabalho, a arquitetura escolhida é baseada no ADC integrador rampa múltipla. Com esta arquitetura, a capacitância de entrada é o parâmetro escolhido para viabilizar diferentes níveis de faixas do ADC, semelhante à estrutura mostrada na Figura 3.2. Para cada valor de capacitância na entrada, haverá um ganho de tensão, resultando em uma

faixa de entrada específica. Nos itens seguintes, explica-se melhor a influência da programação do capacitor de entrada na flexibilidade da faixa de entrada do ADC.

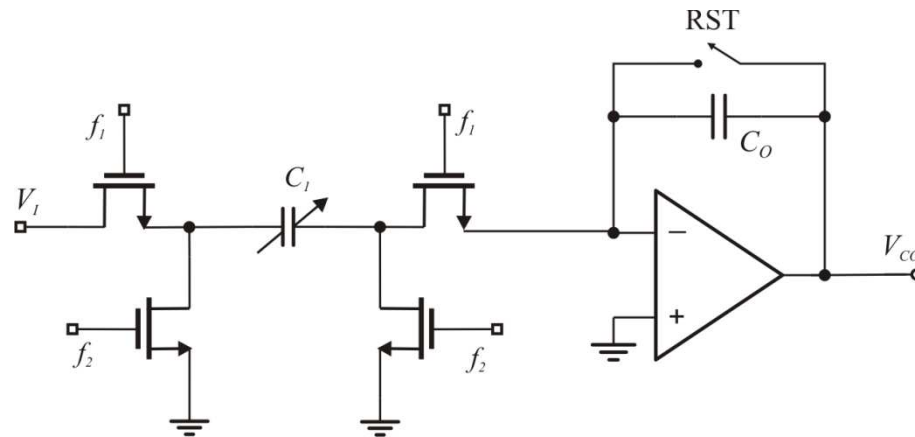


Figura 3.2– Capacitância variável na entrada do integrador.

3.2 Conjunto dos Ganhos

Os ganhos teóricos aplicados na tensão de entrada do conversor analógico-digital pertencem a um conjunto de valores discretos, que foi definido para uso em um sistema de medição com um grupo particular de sensores que tem sinais de saída com faixas de variação diferentes.

Para uma estrutura igual à da Figura 3.2, cada capacitância na entrada do integrador é proporcional a um valor do conjunto de ganhos, o que proporciona um ganho no sinal analógico, como equacionado em (3.2). Para obter diferentes capacitâncias na entrada do integrador é usado um capacitor programável.

O cálculo dos valores do conjunto de ganhos é baseado em três especificações: faixa de entrada máxima do conversor, perda de resolução máxima aceitável e os valores de ganho mínimo e máximo ideais. Tal procedimento foi descrito em Catunda (2003).

Para o projeto do conversor analógico-digital proposto considerou-se a sua faixa de entrada máxima de 0 a 2,56 V, a perda máxima de resolução aceitável igual a 1 bit e o valor de ganho mínimo $G_{min}=1$. O valor de ganho máximo, usado neste projeto, é $G_{max}=32$, o que possibilita o uso de um sinal com faixa de entrada 32 vezes inferior à faixa de entrada máxima do ADC. Dessa forma, um sinal variando de 0 a 0,08 V possuirá perda de 1 LSB quando usado com a menor faixa de entrada do ADC (0 a 0,16 V).

O conjunto completo de programação, Γ , consiste de n_G valores de ganho e os seus valores são calculados pela metodologia descrita em Catunda (2003), cujo artigo está em anexo, tal que:

$$\Gamma = \{G_1, \dots, G_{n_G}\}, \text{ com } G_1 < \dots < G_{n_G} \quad (3.3)$$

A razão máxima entre os valores de ganho separados por dois passos de programação, r , é dada em função do valor máximo de perda de resolução (N_{Lmax}):

$$r = 2^{N_{Lmax}} \quad (3.4)$$

Para uma perda de resolução máxima de 1 LSB, tem-se $r = 2$. A relação entre os valores de ganho é dada por:

$$G_{2i+1} = rG_{2i-1} \quad (3.5)$$

em que:

$$i = 1, \dots, \lfloor (n_G + 1) / 2 \rfloor \quad (3.6)$$

e o termo $\lfloor x \rfloor$ significa arredondamento para o inteiro imediatamente inferior ao valor da variável x .

Para determinar a relação entre dois valores de ganho consecutivos a razão r pode ser decomposta em duas frações q e s , de forma que $r = q \cdot s$. Para obter valores factíveis de implementação, são usados os valores $q = 4/3$ e $s = 3/2$.

O conjunto completo de valores de ganhos é definido por uma série não uniforme, em função de s e r , que pode ser escrita por:

$$\Gamma = \{a, as, ar, asr, \dots, as^{(n_G=par)} r^{\lfloor \frac{n_G-1}{2} \rfloor}\} \quad (3.7)$$

Para valores pares, o expoente da fração s será igual a um ou caso contrário igual a zero. O primeiro valor de ganho, que corresponde ao primeiro termo da série, é definido como:

$$a = G_1 = \frac{G_{min}}{s} \quad (3.8)$$

e substituindo-se o valor de G_{min} , tem-se:

$$a = \frac{1}{3/2} = 0,66 \quad (3.9)$$

O número de valores de programação de ganho pode ser determinado por:

$$n_G = 2\eta + \left[\frac{G_{max}}{sr^\eta} \geq 1 \right] \quad (3.10)$$

com:

$$\eta = \left\lceil \log_r \left(\frac{G_{max}}{a} \right) \right\rceil \quad (3.11)$$

Dessa forma, encontra-se $\eta = 5$. Substituindo-se o valor de η na equação (3.10), obtém-se:

$$n_G = 10 \quad (3.12)$$

Portanto, o conjunto de ganhos com n_G valores, é obtido da equação (3.7), resultando em:

$$\Gamma = \{a, as, ar, asr, ar^2, asr^2, ar^3, asr^3, ar^4, asr^4\} \quad (3.13)$$

Substituindo-se os valores de a , r e s , e desconsiderando-se o valor de ganho 0,66 para essa aplicação, obtém-se:

$$\Gamma = \{1; 1,5; 2; 3; 4; 6; 8; 12; 16\} \quad (3.14)$$

Os ganhos de 1, 2, 8, 12 e 16, por exemplo, cobrem os valores de ganhos com intervalos de: 1,5 a 2, 3 a 4, 12 a 16; 16 a 24; e 24 a 32, respectivamente.

3.3 Capacitor Programável

As capacitâncias de entrada (C_I) na estrutura do integrador mostrada na Figura 2.3 são valores múltiplos do valor da capacitância de realimentação (C_O) e proporcional aos

valores do conjunto de ganhos definido. Com C_O igual a 20 pF obtêm-se um conjunto de capacitâncias na entrada:

$$C_I = \{1; 1,5; 2; 3; 4; 6; 8; 12; 16\} \cdot C_O = \{20; 30; 40; 60; 80; 120; 160; 240; 320\} \text{ pF} \quad (3.15)$$

As capacitâncias na entrada são obtidas com a organização de um banco de capacitores em paralelo controlados por uma lógica digital. Essa estrutura será mostrada no capítulo seguinte.

O valor da capacitância de entrada pode ser em função de outras capacitâncias. No Capítulo 4 será mostrado um capacitor programável com capacitâncias proporcionais a uma de referência. Neste caso, apesar da capacitância de entrada não ser definida com relação à de realimentação, a escolha desta última deve ser dimensionada, tal que a tensão na saída do integrador não sature. Na Figura 3.3 mostra-se a estrutura formada pelo capacitor de entrada programável, capacitor de referência e o capacitor integrador, que compõe o conversor proposto. Essa estrutura será descrita no Capítulo 4, assim como o dimensionamento dos capacitores.

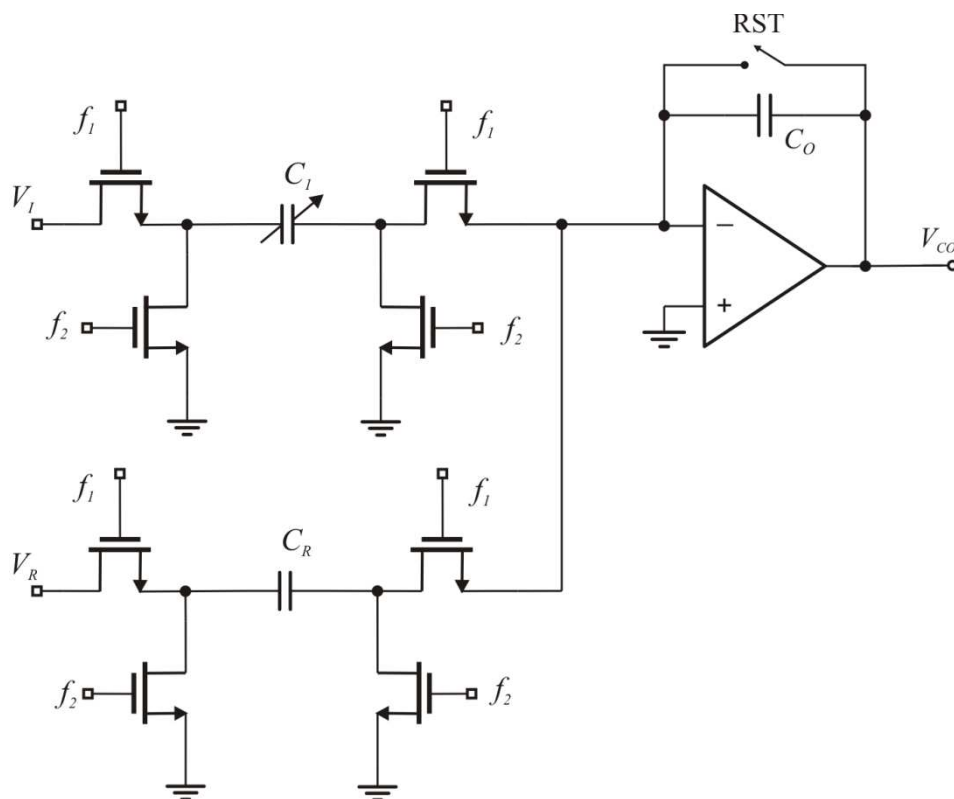


Figura 3.3– Estrutura usada no conversor proposto com capacitores de: entrada, referência e saída.

O conversor A/D proposto neste trabalho é especificado com faixa de entrada máxima (V_R) variando de 0 a 2,56 V, e contém um capacitor de realimentação (C_O) de 60 pF e um capacitor de referência (C_R) de 20 pF. Ele possui uma faixa de tensão de entrada flexível que varia com o valor da capacitância de entrada (C_I), como se mostra na Tabela 3.1, e dada em função de C_R e V_R por:

$$V_{I_{\max}} = V_R \frac{C_R}{C_I} \quad (3.16)$$

A redução da faixa de entrada do conversor ($V_{I_{\max}}$) é equivalente a dar um ganho, no sinal de entrada (V_I), proporcional ao valor da razão entre a nova capacitância de entrada (C_I) e a capacitância de realimentação (C_O), como mostrado na Tabela 3.1, tal que a tensão no capacitor de realimentação é dada por:

$$V_{CO} = V_I \frac{C_I}{C_O} \quad (3.17)$$

É importante lembrar que os cálculos dos valores das faixas da Tabela 3.1 são teóricos e máximos, pois não levam em consideração as incertezas na implementação dos componentes.

Tabela 3.1 – Relação: capacitor de entrada C_I , ganho no sinal de entrada e faixa de entrada.

Capacitor de entrada (pF)	Ganho no sinal de entrada (C_I/C_O)	Faixa de entrada do ADC (V)
20	0,33	0 a 2,56
30	0,5	0 a 1,7
40	0,66	0 a 1,28
60	1	0 a 0,85
80	1,33	0 a 0,64
120	2	0 a 0,42
160	2,66	0 a 0,32
240	4	0 a 0,21
320	5,33	0 a 0,16

3.4 Especificação do Conversor

O conversor projetado neste trabalho é uma arquitetura rampa múltipla discreta, cuja operação será descrita no Capítulo 4. Ele possui quatro modos de operação: terminação única, diferencial, terminação única com ajuste CC e calibração. As faixas de entrada do conversor são as mostradas na Tabela 3.1.

O conversor proposto é especificado com oito bits, podendo, com poucos ajustes, ser implementado com uma resolução superior. A implementação estrutural é feita com componentes discretos para uma tensão de alimentação de 5 V. Os componentes usados no projeto do conversor A/D proposto será descrito no Capítulo 5, em função das especificações mostradas na Tabela 3.2.

Tabela 3.2 – Especificações do conversor proposto.

Perda de Resolução Máxima	1 Bit
Ganho Mínimo	1
Ganho Máximo	32
Faixa de Entrada Máxima	0 a 2,56 V
Resolução	8 bits
Fonte de Alimentação	5 V

4. Projeto Comportamental do ADC Programável

Neste capítulo descreve-se a arquitetura proposta do conversor analógico-digital integrador a capacitor chaveado com faixa de entrada programável. A estrutura do ADC proposto é baseada na arquitetura rampa múltipla *runup* descrita no Capítulo 2, só que empregando a técnica de circuito a capacitor chaveado, o que torna a operação do conversor discreta. A operação do conversor foi descrita por equações, e comprovada com a realização de simulações comportamentais.

4.1 Conversor Analógico-Digital Integrador Discreto

No Capítulo 2 foi descrita a arquitetura do conversor analógico-digital rampa múltipla *runup* contínuo. Para projetos de circuitos integrados esta arquitetura não é adequada devido à utilização de resistores, o que ocupa muito espaço no *die (chip)* e aumenta o consumo de potência do circuito. A utilização de circuitos a capacitor chaveado, que simulam resistências com o uso de capacitores e chaves, é uma solução para substituir o uso de resistores de dimensões elevadas, pois ocupam menor espaço de semicondutor.

Outra vantagem do uso de capacitor chaveado é permitir uma melhor exatidão na operação do conversor, pois os ganhos implementados com essa técnica são funções de razões entre capacitores, que tem melhor exatidão do que a razão entre capacitores e resistores.

A arquitetura do conversor proposto é baseada na estrutura rampa múltipla *runup*, com a aplicação da técnica de capacitor chaveado, o que torna a operação do circuito discreta como mostrado na Figura 4.1. Dessa forma, a transferência de carga das tensões de entrada do circuito ocorre em passos, definidos pela frequência do chaveamento.

Essa arquitetura utiliza apenas uma tensão de referência e um único capacitor de referência para implementar a transferência de cargas positivas/negativas do integrador. A operação de adição ou subtração de cargas no integrador é realizada através da seleção adequada da sequência de chaveamento, de acordo com o resultado da tensão de saída do circuito comparador, conforme explicado posteriormente.

Na Figura 4.1, a chave *RST* é fechada no início da conversão com a finalidade de tornar a tensão no capacitor integrador igual à zero, ficando aberta durante o restante da conversão. A sequência de operação das outras chaves é descrita a seguir.

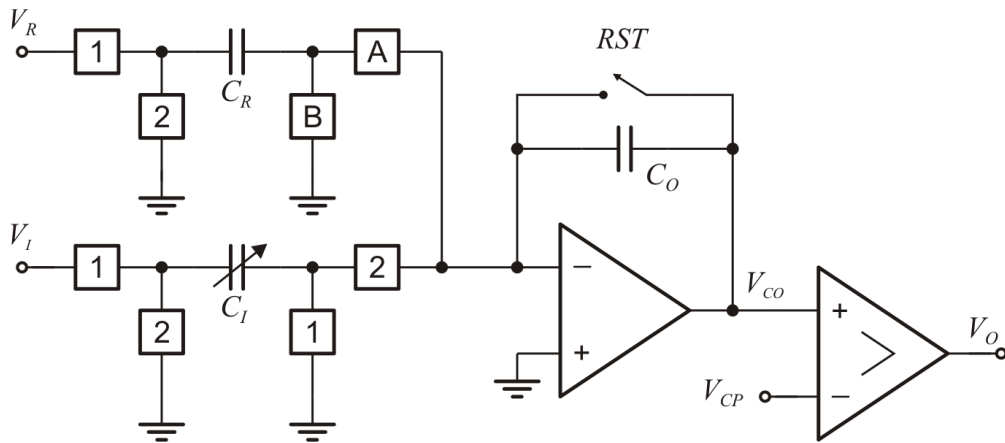


Figura 4.1– Arquitetura do conversor analógico-digital rampa múltipla *runup* a capacitor chaveado.

De acordo com a tecnologia adotada, os valores típicos de capacitâncias usados na técnica a capacitor chaveado podem ser inferiores a 100 pF. Esses valores são pequenos de forma que as capacitâncias das chaves MOS e das interconexões dos capacitores chaveados podem todas afetar de forma significativa a precisão do circuito.

O comportamento dos circuitos a capacitor chaveado é de grande importância na operação do conversor devido a duas razões. Primeiramente, a resistência de condução das chaves limita a frequência de operação do circuito. Segundo, as chaves injetam cargas, o que afeta o desempenho do conversor. Como a chave complementar permite uma redução na injeção de carga, em comparação com as chaves simples NMOS e PMOS, esta foi escolhida para o projeto do conversor (RAZAVI, 2001).

4.1.1 Operação do Circuito

O circuito na Figura 4.1 opera com duas fases de relógio não-sobrepostas, f_1 e f_2 , que controlam o fechamento e a abertura das chaves “1” e “2”, respectivamente. As chaves “A” e “B” são, também, controladas respectivamente pelas fases f_1 e f_2 se a tensão de saída do circuito comparador for um nível lógico “1”, caso contrário, se o nível lógico na saída do comparador for “0”, as chaves “A” e “B” são controladas por f_2 e f_1 , respectivamente. Dessa forma, o nível do sinal na saída do comparador é usado para definir como será o chaveamento de A e B, e assim definir se haverá uma soma ou uma subtração de cargas no capacitor de saída. A influência do sinal do comparador na seleção das chaves “A” e “B” é representada no diagrama de pulsos da Figura 4.2, em que c_P é o sinal na saída do comparador (NUNES, 2010).

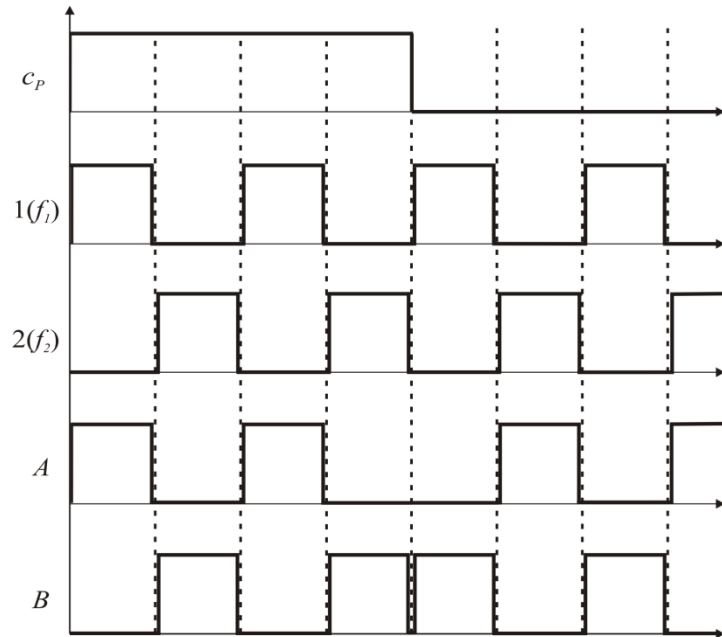


Figura 4.2– Exemplo de operação das chaves no conversor em função do sinal de saída do comparador.

No início de cada conversão, além do capacitor de saída C_O ser descarregado com a aplicação do sinal rst , o contador e outros blocos do circuito têm os seus estados reiniciados com a aplicação do sinal $rstI$.

Inicialmente, no primeiro ciclo, na fase f_1 , tem-se o início de carregamento do capacitor C_I . A carga do capacitor C_I é transferida para o capacitor C_O na fase f_2 . Logo, a tensão no capacitor de saída é igual ao valor do sinal de entrada multiplicado pelo ganho C_I/C_O , completando um ciclo. Em cada ciclo, a tensão no capacitor de saída será sempre incrementada de uma carga proveniente de V_I .

A partir do segundo ciclo, se a tensão do capacitor de saída for maior que a tensão na entrada inversora do comparador, uma carga da tensão de referência é subtraída do valor da carga no capacitor de saída na fase f_1 . Caso contrário, se a tensão do capacitor de saída for menor que a tensão na entrada inversora do comparador, uma carga da tensão de referência é somada à carga do capacitor de saída na fase f_2 . Dessa forma, a operação do circuito em um instante de tempo $k > 1$ pode ser resumida pela Tabela 4.1.

No final de cada ciclo, o contador é incrementado ou decrementado de acordo com o nível lógico do comparador. O processo de conversão descrito continua até atingir L ciclos, em que $L=2^{N+1}$ e N é a resolução do conversor em bits.

Para que a tensão de referência não influencie na tensão do capacitor durante o primeiro ciclo, um sinal $rstI$ é usado para desabilitar a operação do ramo como capacitor de referência. O sinal $rstI$ também é usado para desabilitar o contador durante o primeiro ciclo, e

assim a contagem do valor binário inicia quando a tensão de referência contribuir para a tensão no capacitor integrador.

Tabela 4.1 – Sequência de operação do conversor.

	V_O	f_1	f_2
Q_I^1	*	$C_I \cdot V_I$	0
Q_R^2	*	$C_R \cdot V_R$	0
Q_O^3	0	$Q_O(f_{2k-1})$	$Q_O(f_{2k-1}) + Q_I(f_{1k}) + Q_R(f_{1k})$
	1	$Q_O(f_{2k-1}) - Q_R(f_{1k})$	$Q_O(f_{2k-1}) + Q_I(f_{1k}) - Q_R(f_{1k})$
V_{CO}^4	0	$V_{CO}(f_{2k-1})$	$V_{CO}(f_{2k-1}) + V_I \frac{C_I}{C_O} + V_R \frac{C_R}{C_O}$
	1	$V_{CO}(f_{2k-1}) - V_R \frac{C_R}{C_O}$	$V_{CO}(f_{2k-1}) + V_I \frac{C_I}{C_O} - V_R \frac{C_R}{C_O}$

- 1 - Q_I – Carga no capacitor de entrada C_I ;
 2 - Q_R – Carga no capacitor de referência C_R ;
 3 - Q_O – Carga no capacitor de saída C_O ;
 4 - V_{CO} – Tensão no capacitor de saída C_O ;

Com um total de L ciclos, e considerando-se L_N o número de contagens negativas e L_P o número de contagens positivas, a relação entre contagem digital final, $L_N - L_P$, e o valor analógico é definida em função das capacitâncias de referência C_R e de entrada C_I como:

$$V_I = \left(\frac{L_N - L_P}{L} \right) \cdot \frac{C_R}{C_I} \cdot V_R \quad (4.1)$$

Nessa última equação, observa-se que para uma tensão de referência e capacitor de referência, constantes, pode-se variar a faixa de entrada do conversor com a variação do valor da capacitância de entrada C_I . Dessa forma, um capacitor programável, formado por um conjunto de valores de capacitâncias, será usado para permitir a variação da faixa de entrada do conversor.

4.1.2 Faixa da Tensão de Saída do Integrador

Devido à limitação da tensão de alimentação, o circuito proposto é especificado para ser usado com uma fonte de tensão simples, em que a tensão máxima e mínima do

circuito são as tensões de alimentação V_{DD} e o terra, respectivamente. Dessa forma, a tensão de saída do integrador não pode estar abaixo de zero Volt. Para evitar essa situação, a tensão de saída mínima do integrador deve ser determinada. Esse valor mínimo acontecerá quando a tensão de entrada for zero, uma vez que o sinal de entrada somente adiciona valores positivos à tensão de saída. Assim, de acordo com os valores da Tabela 4.1, a tensão mínima na saída do comparador é dada por:

$$V_{CO\min} = -V_R \frac{C_R}{C_O} \quad (4.2)$$

O valor da tensão mínima encontrada na Equação (4.2) corresponde à tensão obtida pra uma comparação com zero. Dessa forma, para limitar a tensão de saída do integrador em um valor mínimo igual a zero, deve-se deslocar o valor de comparação acima de zero, que pode ser determinada por:

$$V_{CP} = V_R \frac{C_R}{C_O} \quad (4.3)$$

Por outro lado, a tensão na saída do integrador adquire contribuições positivas do sinal de entrada e da tensão de referência. A tensão máxima de saída do integrador acontecerá para o valor máximo de tensão do sinal de entrada, que é igual ao valor da tensão de referência ($V_{I\max} = V_R$), e para o menor valor de ganho dado por $C_I = C_R$, resultando-se em:

$$V_{CO\max} = V_{CP} + V_R \frac{C_R}{C_O} + V_R \frac{C_I}{C_O} \quad (4.4)$$

Assumindo que o valor mínimo de C_I é igual ao valor de C_R e a tensão de saída do integrador máxima é também dada por V_R , então é possível determinar, a partir de (4.4), a relação entre C_O e C_R como:

$$C_O \geq 3 \cdot C_R \quad (4.5)$$

As tensões, máxima e mínima, alcançadas na saída do integrador, em função da tensão de entrada, são obtidas por simulações comportamentais e apresentadas na Figura 4.3. As tensões simuladas estão normalizadas por V_R para um conversor analógico-digital de 10 bits de resolução e com a relação entre as capacitâncias de $C_O = 3 \cdot C_R$ e $C_I = C_R$.

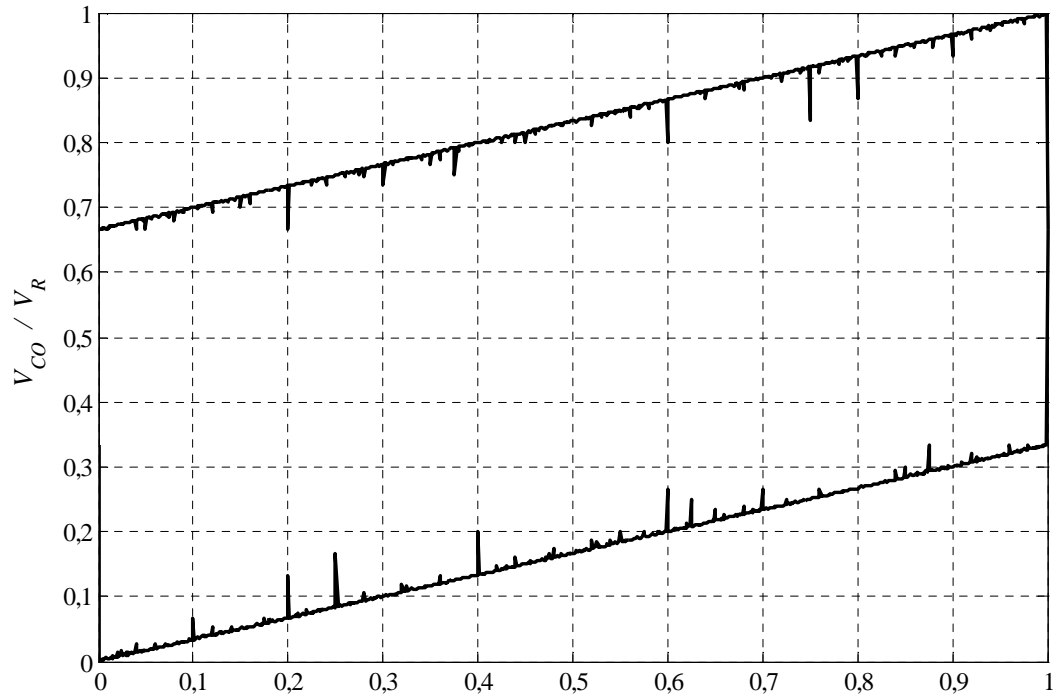


Figura 4.3– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O = 3 \cdot C_R$ e $C_I = C_R$.

Para uma simulação com $C_O = 10 \cdot C_R$ e $C_I = C_R$, a tensão máxima e mínima na saída do integrador é mostrada na Figura 4.4. Nesta figura é mostrada que a tensão máxima na saída é de apenas $0,22 V_R$.

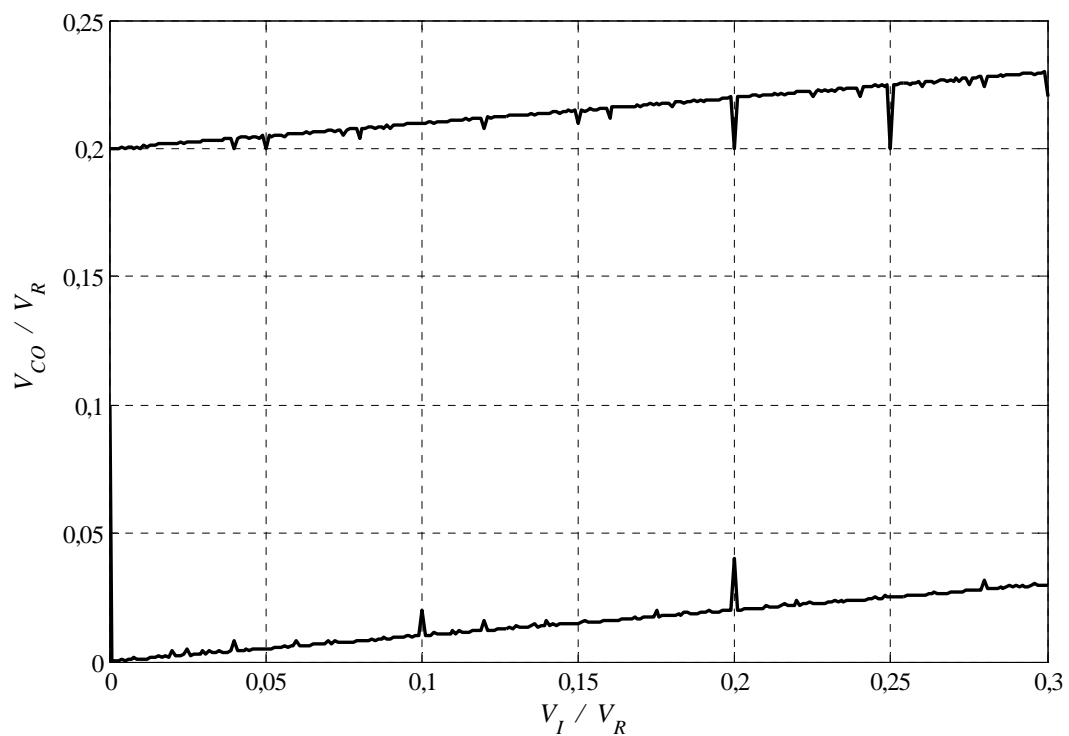


Figura 4.4– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O = 10 \cdot C_R$ e $C_I = C_R$.

Para satisfazer a condição dada pela equação (4.5), e permitir o maior uso da faixa de saída do integrador, escolheu-se a relação entre os capacitores C_O e C_I igual a 3 vezes, cujas tensões máximas e mínimas na saída do integrador são mostradas na Figura 4.3.

Outra simulação é mostrada na Figura 4.5, que para $C_O = 3 \cdot C_R$ e $C_I = 3 \cdot C_R$, considerando uma redução de faixa de entrada do ADC (ou equivalentemente ganho no sinal de entrada) de 3, a faixa máxima de entrada do ADC, calculada por $V_{I_{max}} = V_R \cdot (C_R / C_I)$, é igual a $V_R/3$ e a valor máximo e mínimo de tensão na saída do integrador se mantém de V_R a 0.

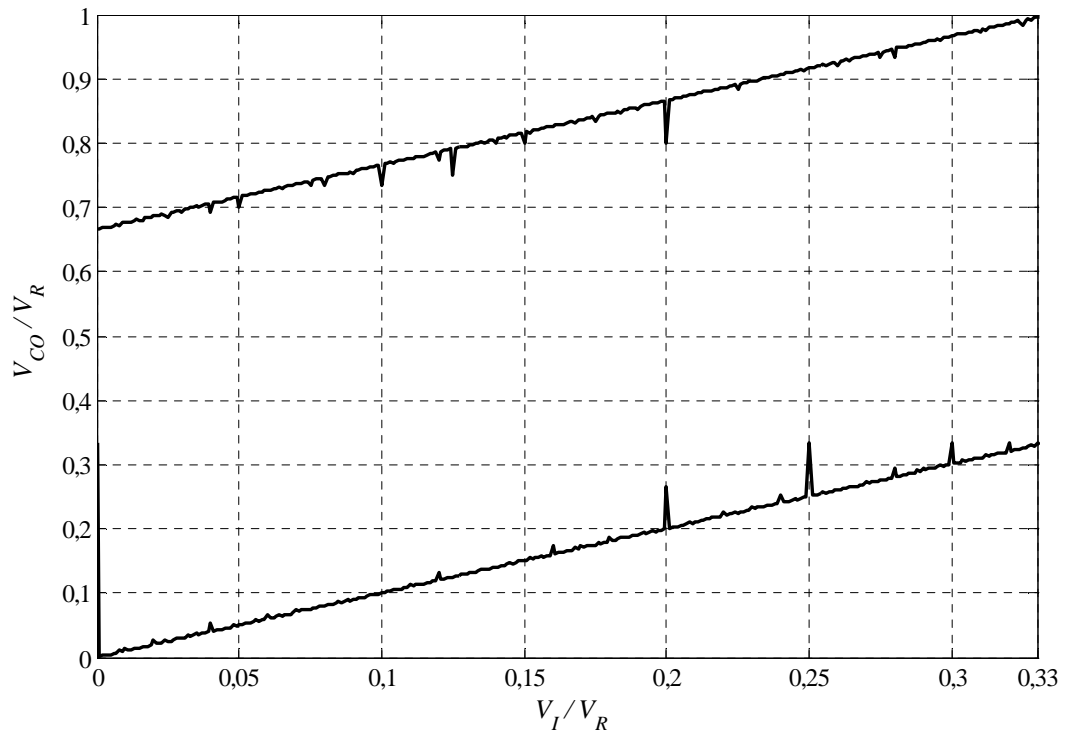


Figura 4.5– Faixa da tensão de saída do integrador (V_{CO}) versus a variação da tensão de entrada (V_I) normalizadas pela tensão de referência (V_R), com $C_O = 3 \cdot C_R$ e $C_I = 3 \cdot C_R$.

4.1.3 Faixa de Entrada Programável do ADC

A fim de maximizar a utilização da faixa de tensão no capacitor de saída, o capacitor programável é escolhido com seu valor mínimo igual a C_R . O valor máximo de cada faixa de entrada programável define o valor de V_I máximo.

Na arquitetura proposta, foram escolhidos os valores de capacitâncias pertencentes ao conjunto de ganhos definido no Capítulo 3 para o capacitor programável, com capacitâncias múltiplas dos valores do capacitor de referência, $C_I = \{1; 1,5; 2; 3; 4; 6; 8; 12; 16\} \cdot C_R$. O valor de $C_R = 20$ pF, usado no projeto do conversor, pode ser alterado para o valor mínimo de capacitância da tecnologia, para sua implementação em circuito integrado.

Como o capacitor programável possui nove valores de capacitâncias, o conversor possuirá nove faixas de entrada, como descrito na Tabela 3.1.

4.1.4 Modos de Operação

A fim de proporcionar à arquitetura apresentada do conversor rampa múltipla discreto, flexibilidade de medição quanto ao tipo de sinal de entrada, outro ramo a capacitor chaveado foi adicionado na estrutura. Com esse novo ramo, por meio de uma chave digital, modos diferentes de operação do conversor podem ser selecionados. Os modos de operação usados no conversor são: sinais de terminação única, sinais diferenciais, ajuste CC e calibração. Ao incluir as chaves de seleção do modo de operação, o conversor passa a apresentar a estrutura mostrada na Figura 4.6.

Ao escolher o modo de operação, mostrado na Tabela 4.2, as tensões na Entrada 1, Entrada 2 e Ajuste CC, são estabelecidas com o uso de três multiplexadores analógicos 4:1.

Tabela 4.2 – Modos de Operação do ADC e valores nas Entradas 1 e 2 e Ajuste CC.

Modo	SL	Entrada 1	Entrada 2	Ajuste CC
Terminação única	0 0	V_I^+	G_{ND}	G_{ND}
Diferencial	0 1	V_I^+	V_I^-	G_{ND}
Terminação única com ajuste CC	1 0	V_I^+	G_{ND}	V_{DC}
Calibração	1 1	V_{DC}	G_{ND}	G_{ND}

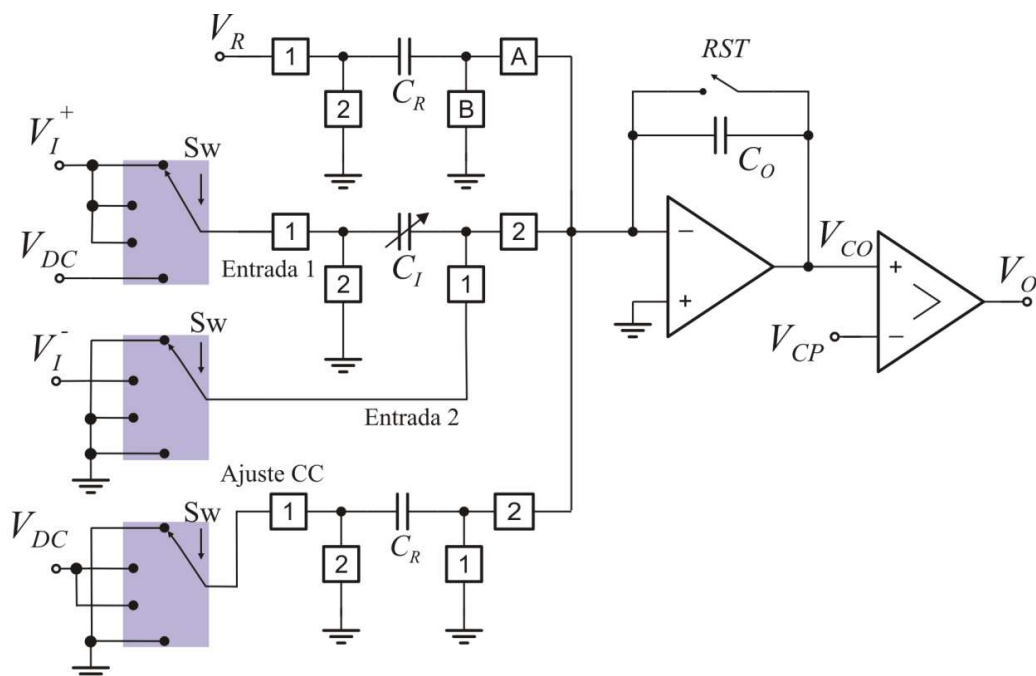


Figura 4.6– Arquitetura do conversor analógico-digital proposto com chaves de seleção do modo de operação.

4.2 Simulação Comportamental do ADC

As simulações comportamentais foram realizadas em Matlab, utilizando o algoritmo de controle do capacitor chaveado a fim de analisar as contribuições de carga do sinal de entrada e do sinal de referência. Para uma tensão de referência com $V_R = 2,56$ V e resolução de 8 bits, é ilustrada na Figura 4.7 a tensão no capacitor de saída do integrador, para os primeiros 50 ciclos de conversão, para um sinal de entrada de 1 V. A razão entre os capacitores para este exemplo é dada por $C_O = 3 \cdot C_R$ e $C_I = C_R$.

Para esses valores, a faixa de tensão na saída do integrador estará compreendida entre uma tensão máxima de 2,56 V e uma tensão mínima de 0 V. A tensão de comparação usada, dada pela Equação (4.3), é de 0,853 V, o que permite a tensão na saída do integrador não ser negativa. Como o conversor é de 8 bits, foram necessários $L = 512$ ciclos de relógio para conversão. No final da conversão, para um sinal de entrada de 1 V, os valores obtidos dos contadores foram $L_N = 356$ e $L_P = 156$. O valor digital da conversão, V_D , é igual a $(L_N - L_P)/2 = 100$.

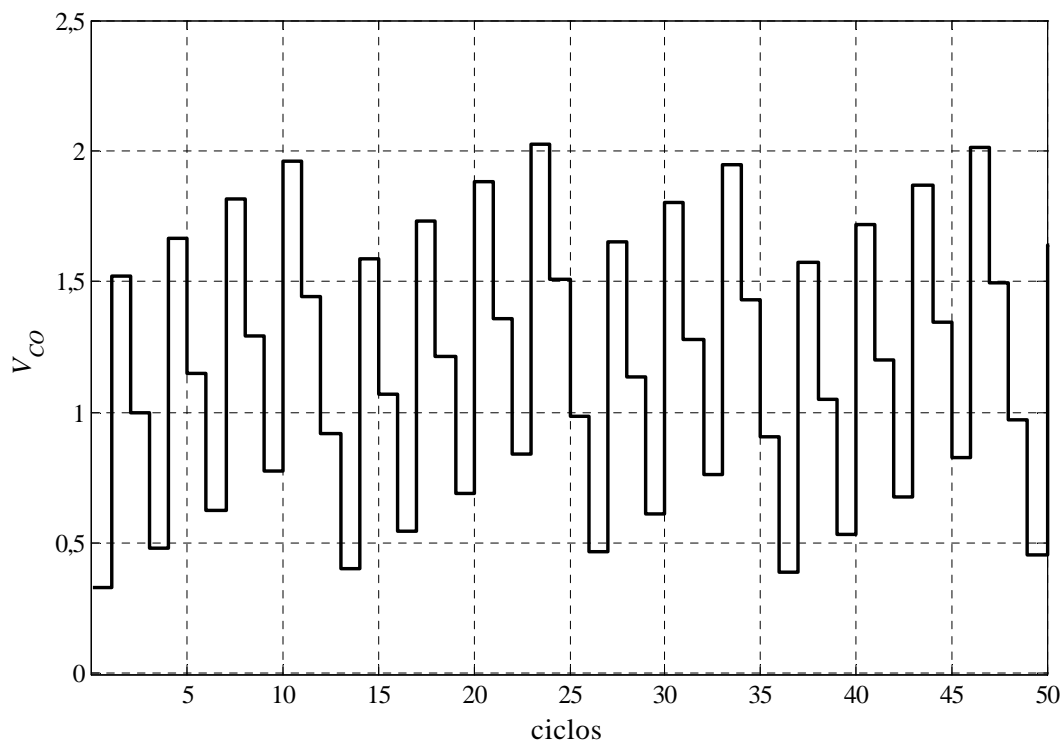


Figura 4.7– Tensão na saída do integrador para uma tensão de entrada de 1 V, em função dos 50 primeiros ciclos.

De forma a verificar o processo de quantização e conversão, na Figura 4.8 mostra-se o valor da saída digital em função do sinal analógico de entrada, para $C_I = C_R$, na simulação de um conversor A/D de 3 bits, com faixa de entrada de 0 a 2,56 V. Como nesta simulação

são desprezados os ruídos, não surgem erros de linearidade (DNL e INL) e os passos analógicos são ideais com tamanho igual a 0,32 V. Observa-se que o comportamento do conversor é equivalente ao de meia-transição, em que o tamanho dos passos de quantização são iguais.

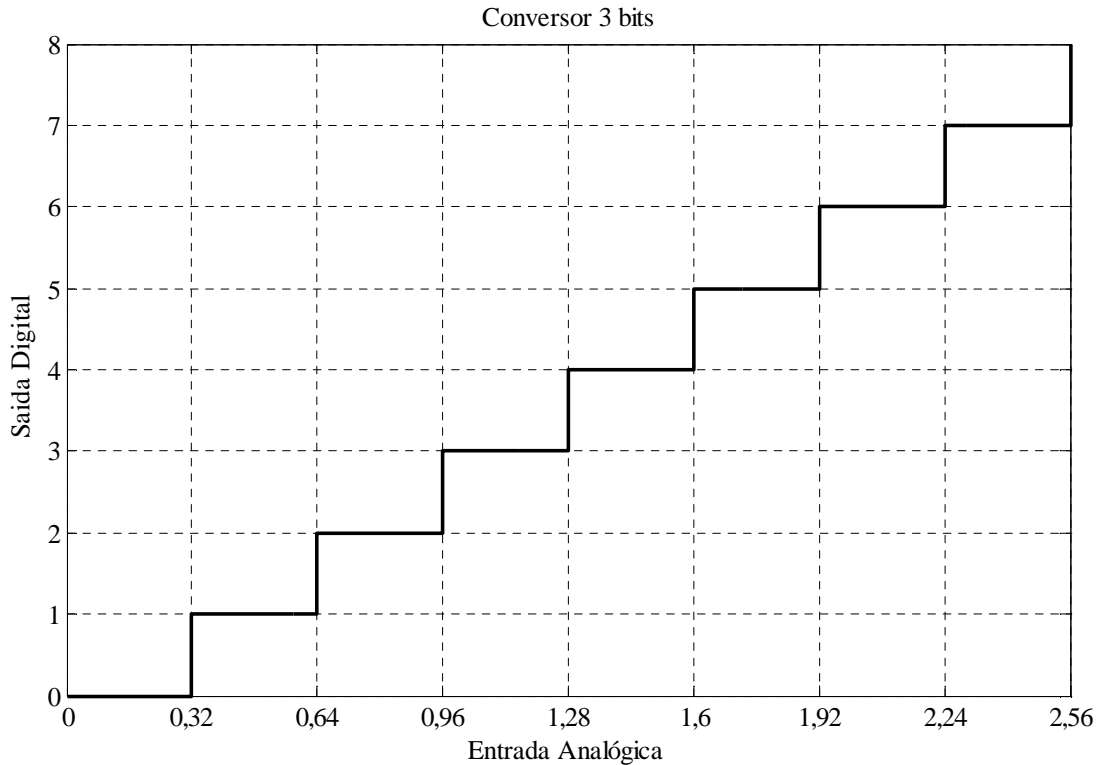


Figura 4.8– Simulação comportamental do valor digital em função da entrada analógica para um conversor A/D de 3 bits.

Na Figura 4.9 mostra-se uma simulação comportamental do valor da saída digital em função do sinal analógico da entrada, para $C_I = 8 \cdot C_R$, em um conversor de 8 bits. A faixa de entrada do conversor é de 0 a 0,32 V (1/8 de 2,56 V). Neste caso o passo analógico é igual a 0,00125 V, o que corresponde a $V_R/2^N$.

Para verificar a variação da faixa de entrada do conversor A/D, cinco valores para capacitância de entrada foram usados numa simulação comportamental. O resultado dessa simulação está mostrado na Figura 4.10, com cinco faixas de entrada máxima do conversor A/D correspondente a valores de cinco capacitâncias de $C_I = \{1; 2; 4; 8; 16\} \cdot C_R$, com $C_R = 20$ pF.

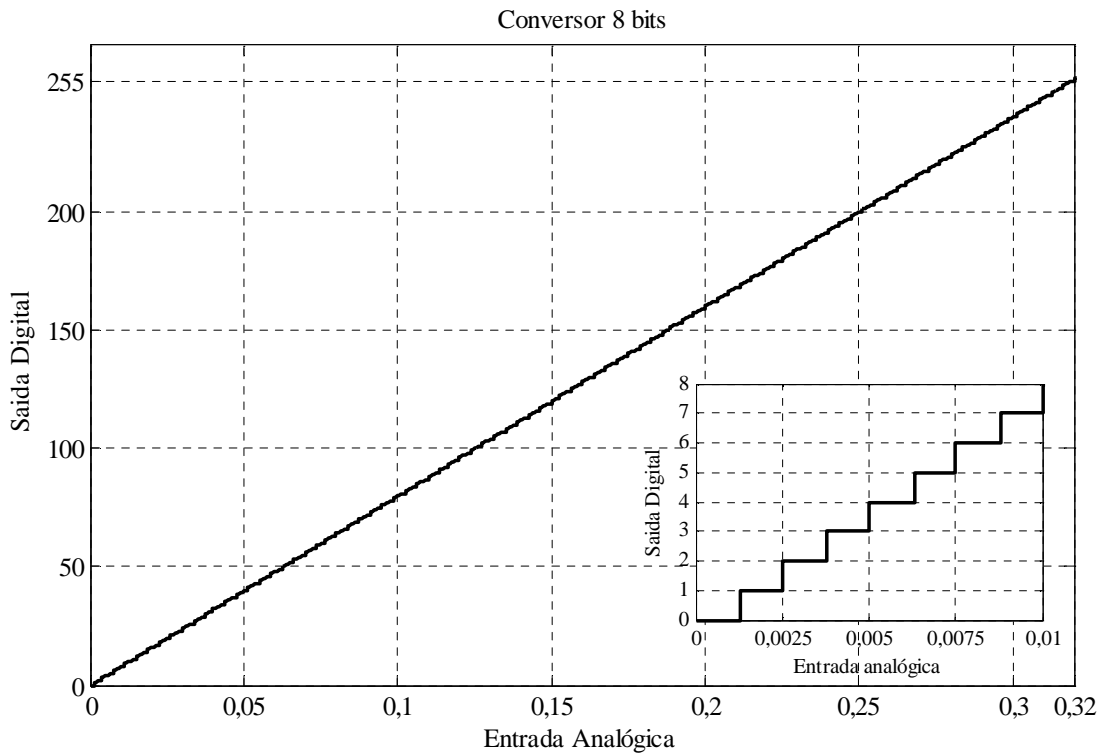


Figura 4.9– Simulação comportamental do valor digital em função da entrada analógica para um conversor A/D de 8 bits, com $C_I = 8 \cdot C_R$.

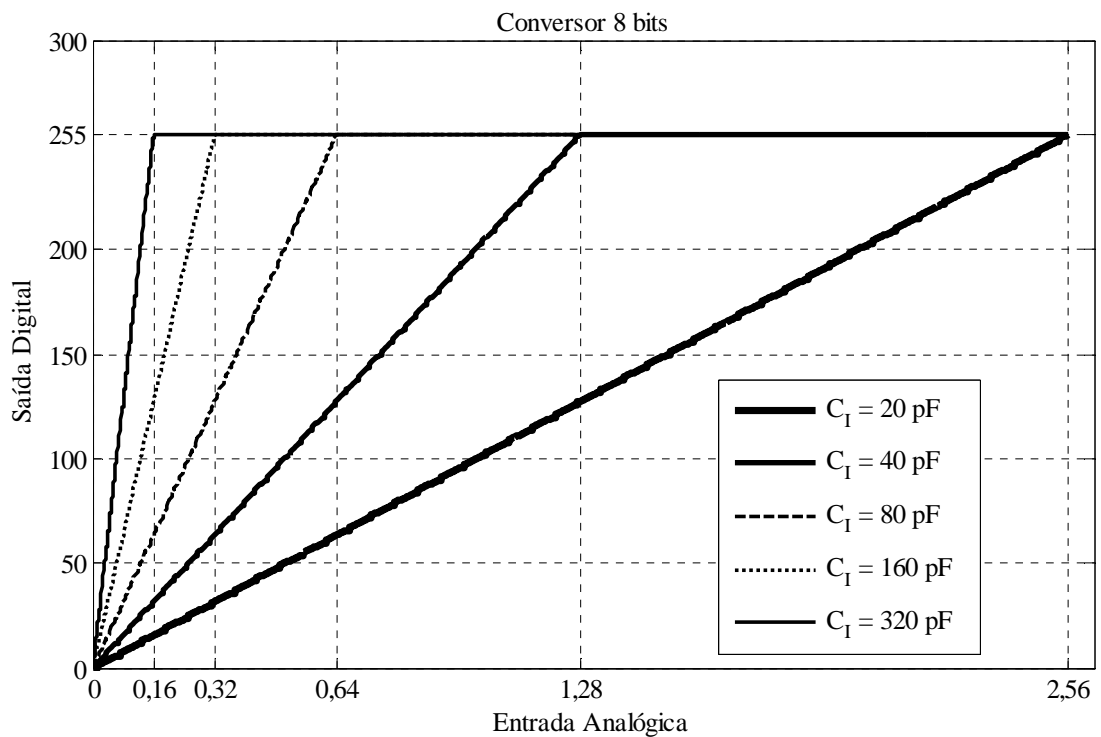


Figura 4.10– Faixa de entrada do conversor A/D para cinco valores de capacitância C_I , do capacitor programável.

5. Projeto Estrutural do ADC Programável

Na segunda etapa do projeto, a arquitetura do conversor A/D proposto foi implementada em nível de blocos com macro modelos digitais e analógicos que possuem características próximas às reais, necessárias para o desenvolvimento em microestruturas de transistores. Por último, para comprovar o funcionamento do conversor A/D, simulações estruturais são realizadas em SPICE.

5.1 Conversor Analógico-Digital Integrador em Nível Estrutural

O conversor A/D proposto implementado em nível de blocos, mostrado na Figura 5.1, foi projetado seguindo as especificações apresentadas na Tabela 3.2 e cada componente será descrito nas subseções seguintes. O conversor é constituído pelos componentes: integrador, comparador, *flip-flop* D, *mux2x2*, gerador de fases de relógio, chaves seletoras do modo de operação, capacitores chaveado, capacitor programável e um contador crescente/decrecente especial (NUNES, 2010).

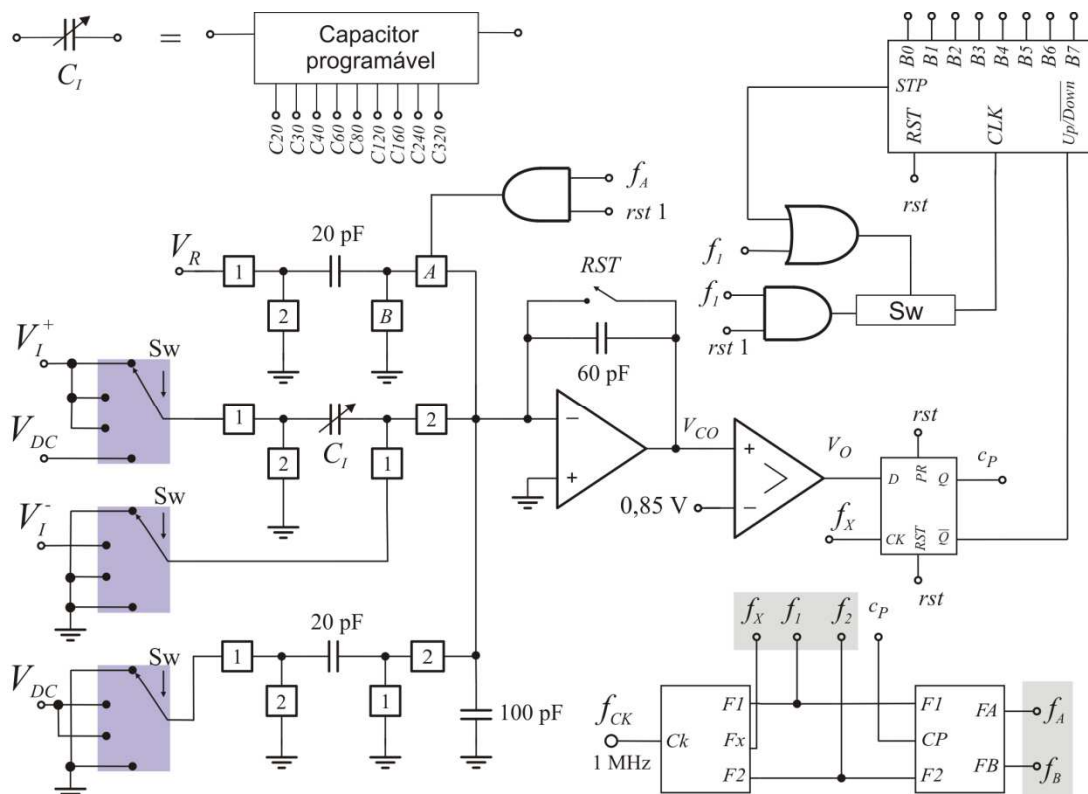


Figura 5.1– Arquitetura do conversor A/D proposto usada na simulação estrutural.

5.1.1 Gerador de fases do relógio

O gerador de fases do relógio, mostrado na Figura 5.2, é um bloco usado para gerar as fases para o conversor, a partir de um sinal de entrada f_{CK} . São geradas duas fases de relógio opostas e não-sobrepostas, f_1 e f_2 , que são usadas para operar a abertura e o fechamento das chaves nos capacitores chaveados. Na Figura 5.1, observa-se que o sinal f_1 é usado também como relógio do contador crescente/decrecente especial e numa lógica digital criada para finalizar a conversão.

Um sinal f_x é gerado para ser usado como relógio do *flip-flop* D. A transição de subida do sinal f_x ocorre quando f_2 está em nível alto, o que é essencial à operação do conversor, pois o sinal na saída do *flip-flop* D necessita estar habilitado na parte final da segunda fase.

Na Figura 5.3, mostra-se um exemplo de sinal f_{CK} , que para este trabalho possui frequência de 1 MHz, e exemplos de fases de relógio geradas a partir dele.

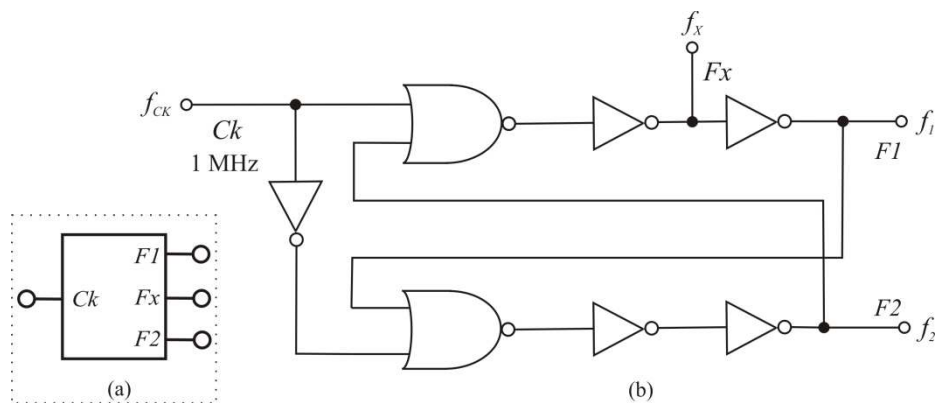


Figura 5.2– Circuito gerador de fases de relógio: (a) símbolo (b) estrutura interna.

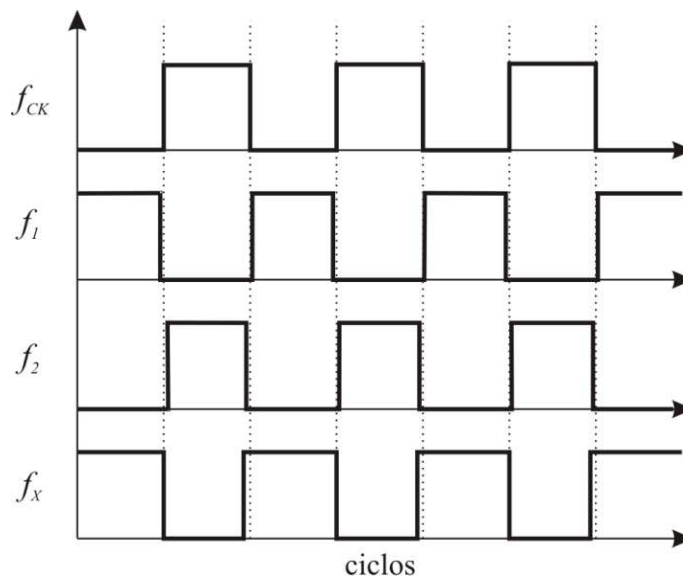


Figura 5.3– Exemplos de sinais na entrada e saída do gerador de fases de relógio.

5.1.2 Mux 2x2

Dependendo do sinal na saída do comparador, a tensão de referência pode alimentar o capacitor integrador de forma positiva ou negativa. O componente que vai realizar essa seleção possui três entradas e duas saídas, mostrado na Figura 5.4, formado por dois *mux* 2x1 em paralelo. Caso a entrada *CP* receba um sinal nível alto, a saída *A* terá o sinal igual ao da entrada *F1* e a saída *B* igual ao da entrada *F2*. Caso contrário, se *CP* receber um sinal nível baixo, os sinais nas saídas *A* e *B* serão iguais aos sinais nas entradas *F2* e *F1*, respectivamente.

O sinal c_P usado na entrada *CP* do *mux*2x2 é obtido na saída *Q* do *flip-flop* D. Esse sinal corresponde a um valor na saída do comparador, e pode ser alterado quando o sinal f_X passar ao nível alto, na entrada *CK* do *flip-flop*. Exemplos de sinais na saída *A* e *B* do *mux*2x2, em função dos sinais nas entradas de *F1*, *F2* e *CP* são mostrados na Figura 4.2.

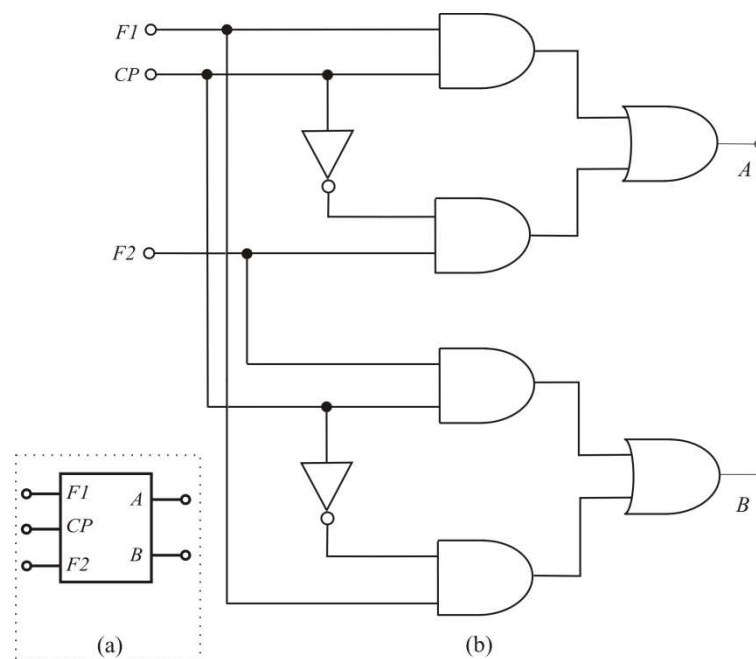


Figura 5.4– Circuito do *mux*2x2: dois *mux* em paralelo: (a) símbolo (b) estrutura interna.

5.1.3 Capacitor Programável

O capacitor programável, alimentado pela tensão de entrada V_i , é formado por um conjunto de capacitores em paralelo. O valor do capacitor programável é selecionado entre nove valores possíveis por meio de uma lógica digital. A seleção é feita com um sinal em nível alto e os valores das capacitâncias são 20, 30, 40, 60, 80, 120, 160, 240 e 320 pF, que são representadas pelas respectivas entradas C_{20} , C_{30} , C_{40} , C_{60} , C_{80} , C_{120} , C_{160} , C_{240} e C_{320} . Na Figura 5.5, mostra-se a estrutura interna do capacitor programável.

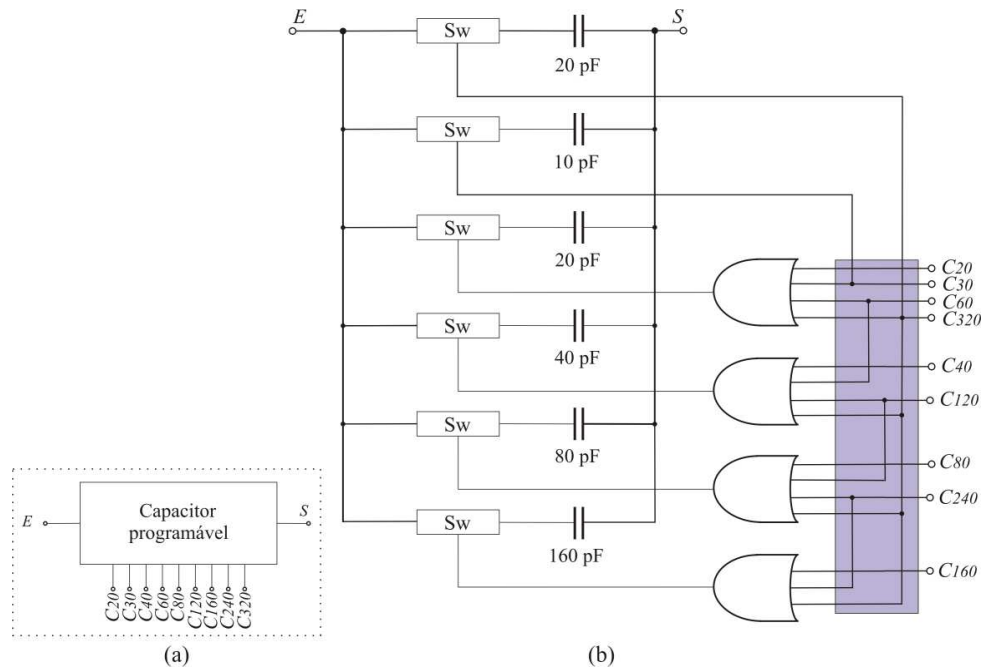


Figura 5.5– Capacitor programável com nove valores de capacitâncias: (a) símbolo (b) estrutura interna.

Cada caixa S_w , na figura anterior, representa uma chave analógica complementar, também conhecida por chave de transmissão, mostrada na Figura 5.6. Para a seleção de uma capacitância de entrada, no capacitor programável, uma lógica digital é usada para fechar algumas chaves S_w enquanto outras continuam abertas durante o processo de conversão.

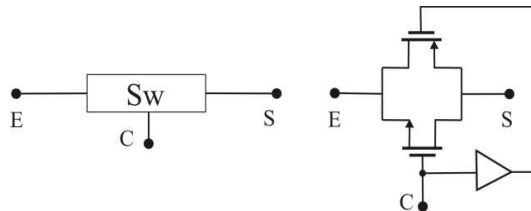


Figura 5.6– Chave de transmissão CMOS usada no capacitor programável.

5.1.4 Flip-flop D

A função do *flip-flop* D neste conversor é reter o sinal digital da saída do comparador, e disponibilizá-lo em sua saída Q , no momento que um sinal em sua entrada CK passar a um nível alto. Na saída Q tem-se o sinal c_p , usado pelo *mux2x2*, como descrito anteriormente. O sinal na saída inversa do *flip-flop* D é enviado para a entrada do contador crescente/decrecente especial, e o valor digital desse sinal é usado para selecionar a função de incrementar ou decrementar o contador. As entradas PR e RST são usadas com um sinal rst para reiniciar os estados do *flip-flop* D no início de cada conversão.

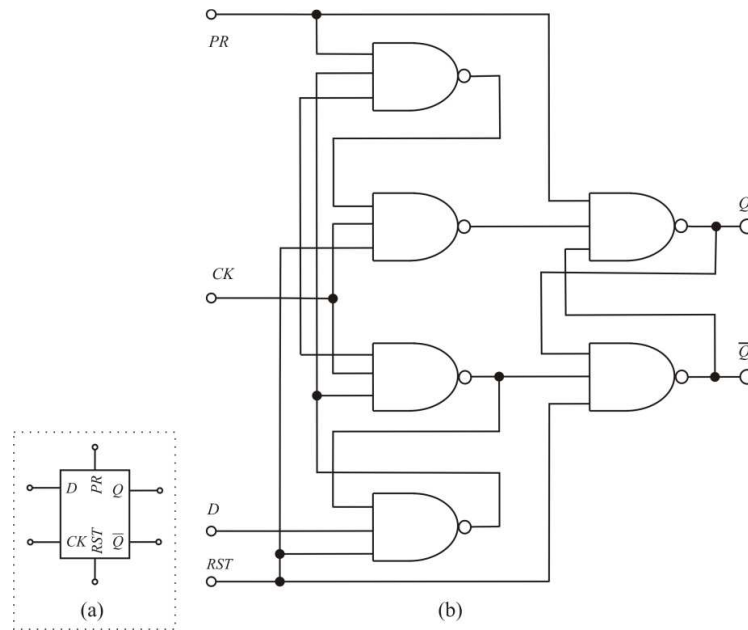


Figura 5.7– *Flip-flop D* usado na implementação do conversor A/D: (a) símbolo (b) estrutura interna.

5.1.5 Contador Crescente/Decrescente Especial

O contador crescente/decrescente especial, mostrado na Figura 5.8, é responsável pela contagem binária do conversor A/D proposto. Este contador realiza duas contagens em paralelo, uma crescente/decrescente (C/D) e uma crescente.

O contador C/D incrementa ou decrementa o valor binário, dependendo do sinal em sua entrada *Up/Down*, realizando a operação $L_N - L_P$. Em paralelo, o contador crescente conta o número de ciclos L , dado por $L = 2^{N+1}$, em que N é a resolução do conversor A/D.

O conversor rampa múltipla proposto com resolução de oito bits realizará 512 ciclos, exigindo contadores C/D e crescente de nove e dez bits, respectivamente, mostrados na Figura 5.8. O relógio usado nos contadores provém do sinal f_1 , como mostrado na Figura 5.1.

O décimo bit do contador crescente, localizado na saída *STP* da Figura 5.8, é usado numa lógica digital para finalizar a conversão. Quando o sinal em *STP* for um nível alto, o relógio dos contadores é parado, e a palavra na saída $B_8B_7B_6B_5B_4B_3B_2B_1$ do contador C/D corresponde ao valor digital da conversão A/D. A divisão por dois, necessária para representação correta da conversão A/D, é feita desprezando o valor da saída B_0 .

A implementação estrutural do contador C/D especial, com componentes discretos, pode ser feita com contadores C/D 4516BD e crescente 74HC393.

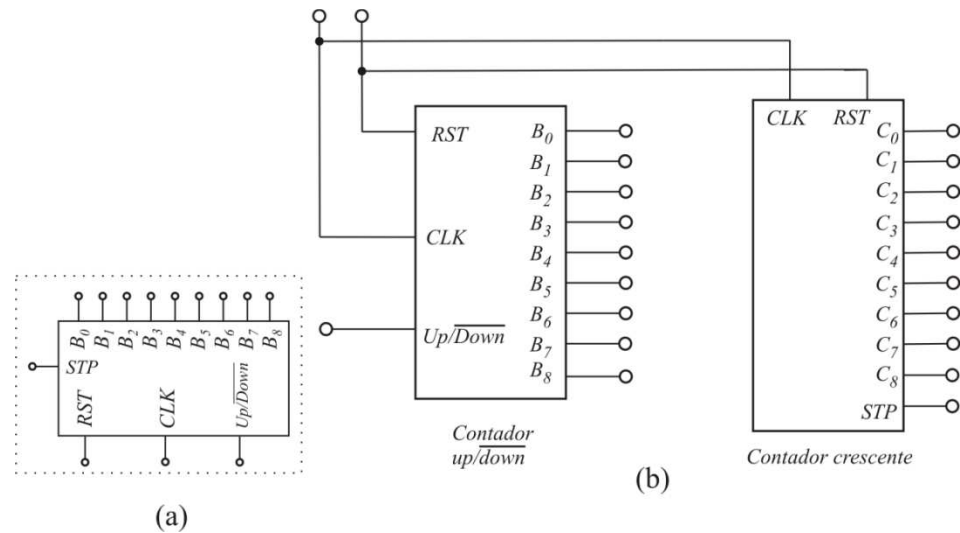


Figura 5.8– Contador C/D especial, implementado com componentes discretos, para ser usado num conversor de oito bits: (a) símbolo (b) estrutura interna.

5.1.6 Integrador

O integrador é formado por um amplificador, um capacitor de realimentação de 60 pF, e uma chave *RST* em paralelo, usada para descarregar o capacitor no início da conversão, mostrado na Figura 5.9. As especificações do amplificador usado no projeto do conversor A/D são mostradas na Tabela 5.1, e para a simulação em nível de blocos funcionais, ele foi implementado usando o modelo de amplificador LM6132, da *National Semiconductor*.

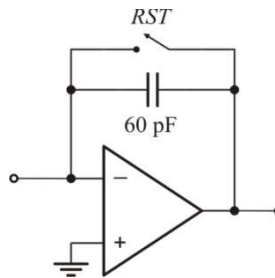


Figura 5.9– Circuito integrador usado na implementação do conversor A/D proposto, com o símbolo do amplificador.

Tabela 5.1 – Especificações para o amplificador do integrador.

Especificação	Valor	Unidade
Tensão de desvio na entrada (<i>VOS</i>)	1	mV
Corrente de polarização na entrada (<i>IBS</i>)	80	pA
Corrente de desvio na entrada (<i>IOS</i>)	20	pA
<i>Slew rate</i> (<i>SR</i>)	100	MV/s
Ganho de tensão em modo diferencial (<i>AD</i>)	500	kV/V
CMRR (dB)	90	-

A tensão na saída do amplificador idealmente é zero, quando as entradas estão curto-circuitadas. Em casos reais, uma tensão de desvio existe entre os terminais de entrada do amplificador o que faz com que a saída não seja zero para entradas iguais. Essa tensão de desvio pode ser corrigida em alguns tipos de amplificadores.

A corrente de polarização especificada é o máximo valor médio das correntes que circulam pelas entradas do amplificador, na ausência de tensão na entrada.

A corrente de desvio especificada é a máxima diferença entre as correntes de polarização que fluem nas duas entradas do amplificador. Em circuitos CMOS, a corrente de desvio é na ordem de pA e para alguns projetos ela é desconsiderada.

Slew rate é a razão entre a variação máxima de tensão, na saída do amplificador, e a duração de tempo para essa variação ocorrer. Quanto maior o valor do *slew rate*, mais rápida será a resposta do amplificador.

Um ganho em modo diferencial é o ganho em malha aberta, aplicado sobre a diferença das tensões nas entradas do amplificador. Valores típicos de ganhos diferenciais variam de 40 dB a 120 dB, o que corresponde a amplificar o sinal de entrada do amplificador de 10^2 a 10^6 vezes.

A tensão na saída do amplificador depende do nível médio de tensão comum às entradas, o que proporciona um ganho em modo comum. A taxa de rejeição de modo comum (CMRR–*Common Mode Rejection Ratio*) especificada é a razão entre o ganho diferencial e o ganho em modo comum (BOYLESTAD, 2004).

5.1.7 Comparador

O comparador possui duas entradas analógicas e uma saída digital, como mostrado na Figura 5.10. Quando o sinal V_{CO} na saída do integrador (e presente na entrada positiva do comparador) for superior à tensão de comparação 0,85 V, que está na entrada negativa, tem-se o valor digital V_O em nível alto. Caso contrário, para uma tensão V_{CO} inferior à tensão de comparação, o valor digital V_O é um nível baixo. A tensão de comparação 0,85 V, usada no conversor proposto, é calculada pela equação (4.3).

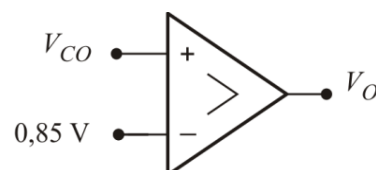


Figura 5.10 – Símbolo do comparador usado no conversor A/D.

Para a simulação em nível de blocos funcionais, o comparador foi implementado usando o modelo do comparador LM319 da *National Semiconductor*.

As especificações usadas na implementação do comparador do conversor A/D, mostradas na Tabela 5.4, foram descritas na subseção anterior.

Tabela 5.4 – Especificações para o comparador usado no conversor A/D proposto.

Especificação	Valor	Unidade
Tensão de desvio na entrada (<i>VOS</i>)	1	mV
Ganho de tensão em modo diferencial (<i>AD</i>)	2000	kV/V
<i>Slew rate</i> (<i>SR</i>)	10	MV/s

5.1.8 Chave seletora do Modo de Operação

A chave seletora do modo de operação, mostrada na Figura 5.11, é formada por um multiplexador digital 4x1, e quatro chaves analógicas Sw. Com um valor na entrada de seleção do multiplexador, *SL*, uma das chaves Sw é fechada, e a saída *S* recebe o sinal de uma das entradas analógicas, *E1*, *E2*, *E3* ou *E4*.

O conversor A/D proposto, mostrado na Figura 4.6, possui três chaves seletoras do modo de operação, usadas para selecionar as tensões de Entrada 1, Entrada 2 e Ajuste CC. Com elas é possível escolher os modos de operação, descritos na Tabela 4.2.

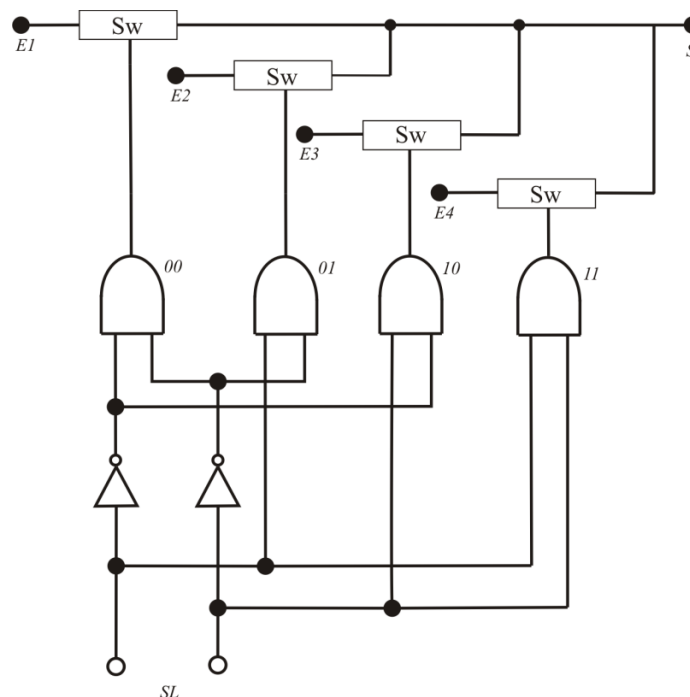


Figura 5.11– Chave seletora do modo de operação formada por um multiplexador 4:1 e quatro chaves analógicas.

5.1.9 Sinais de reset

Na estrutura do conversor são usados dois sinais de *reset*: *rst* e *rst1*. O primeiro é usado no início da conversão para descarregar o capacitor integrador, e reiniciar os estados do flip-flop D. O segundo sinal desabilita o ramo que possui o capacitor de referência, e dessa forma a tensão de referência não contribuirá com a tensão no capacitor integrador durante o primeiro ciclo de relógio. Para a operação correta do conversor proposto, o sinal *rst1* é usado para desabilitar o contador *up/down* especial durante o primeiro ciclo.

5.2 Simulação Estrutural do Conversor

Nesta seção, apresentam-se os resultados da simulação estrutural, dos valores da tensão no capacitor integrador, para o conversor analógico-digital implementado com componentes discretos. Para confirmar o resultado da simulação estrutural, simulou-se, em nível comportamental, o valor da tensão no capacitor integrador, com algoritmos no Matlab. Os resultados obtidos nas simulações comprovam o funcionamento adequado do conversor proposto.

As simulações, em ambiente SPICE e Matlab, foram realizadas para um sinal de entrada de 1 V e tensão de referência de 2,56 V. O capacitor programável foi ajustado para $C_I = 20$ pF, com $C_R = 20$ pF e $C_O = 60$ pF e frequência de relógio de 1 MHz.

Duas resoluções foram testadas para essas especificações, 4 e 5 bits. A comparação entre os valores de tensão no capacitor integrador, V_{CO} , para a simulação em SPICE, e os valores simulados pelo algoritmo em Matlab foi realizada, obtendo resultados satisfatórios no processo de conversão. Os resultados do algoritmo são mostrados na Figura 5.12, para uma resolução de 4 bits, e na Figura 5.13, para uma resolução de 5 bits. Os resultados simulados em ambiente SPICE são mostrados na Figura 5.14, para uma resolução de 4 bits, e na Figura 5.15, para uma resolução de 5 bits.

Nas simulações, mostrou-se que a tensão no capacitor de saída variou entre os limites mínimo e máximo, determinados no projeto, de 0 a 2,56 V. Para melhor entendimento da contribuição das tensões de entrada e de referência na tensão de saída do capacitor, os níveis altos de um sinal pulsado são mostrados, na região inferior das figuras, para representar a segunda fase de cada ciclo. As simulações do conversor para resoluções de 4 e 5 bits são realizadas para mostrar de forma mais clara a correta operação do conversor. Para uma mesma simulação de um conversor com resolução de 8 bits, os resultados são semelhantes mas com um total de 1024 fases, bem superior às simulações apresentadas o que não permite visualizar a sua correta operação.

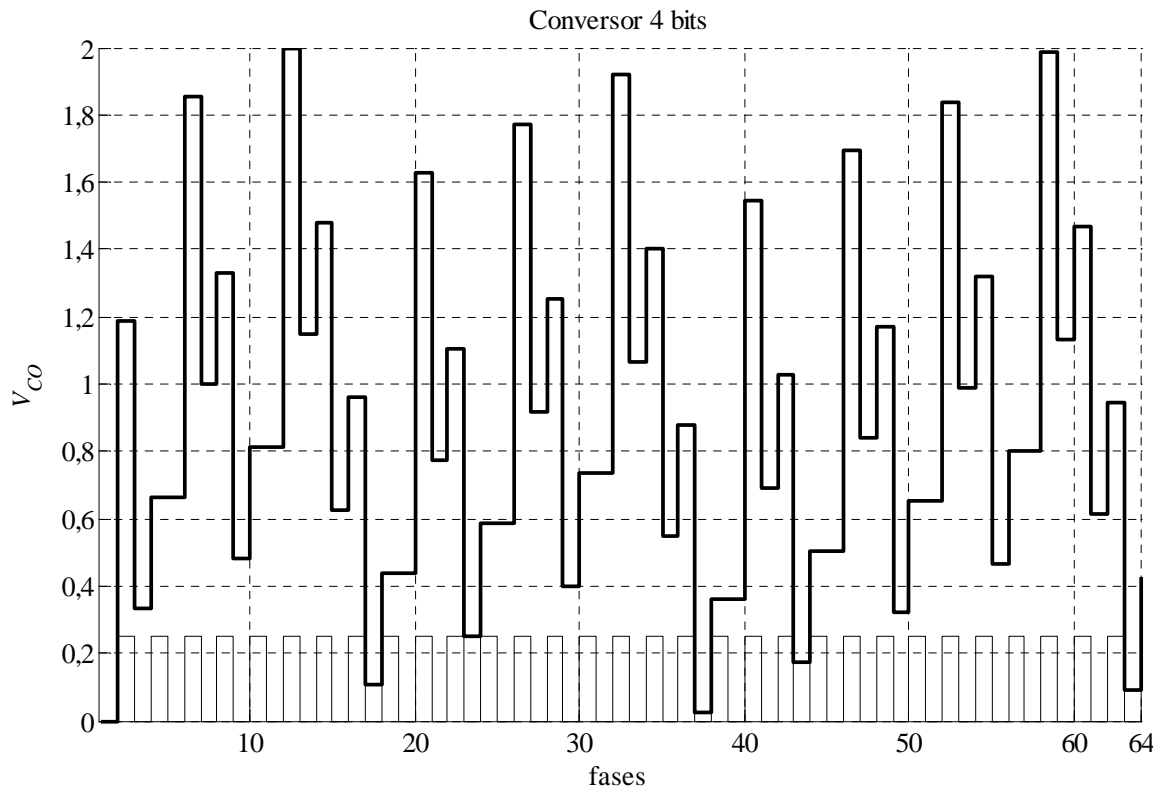


Figura 5.12– Simulação comportamental da tensão no capacitor integrador, V_{CO} , para conversão de 4 bits.

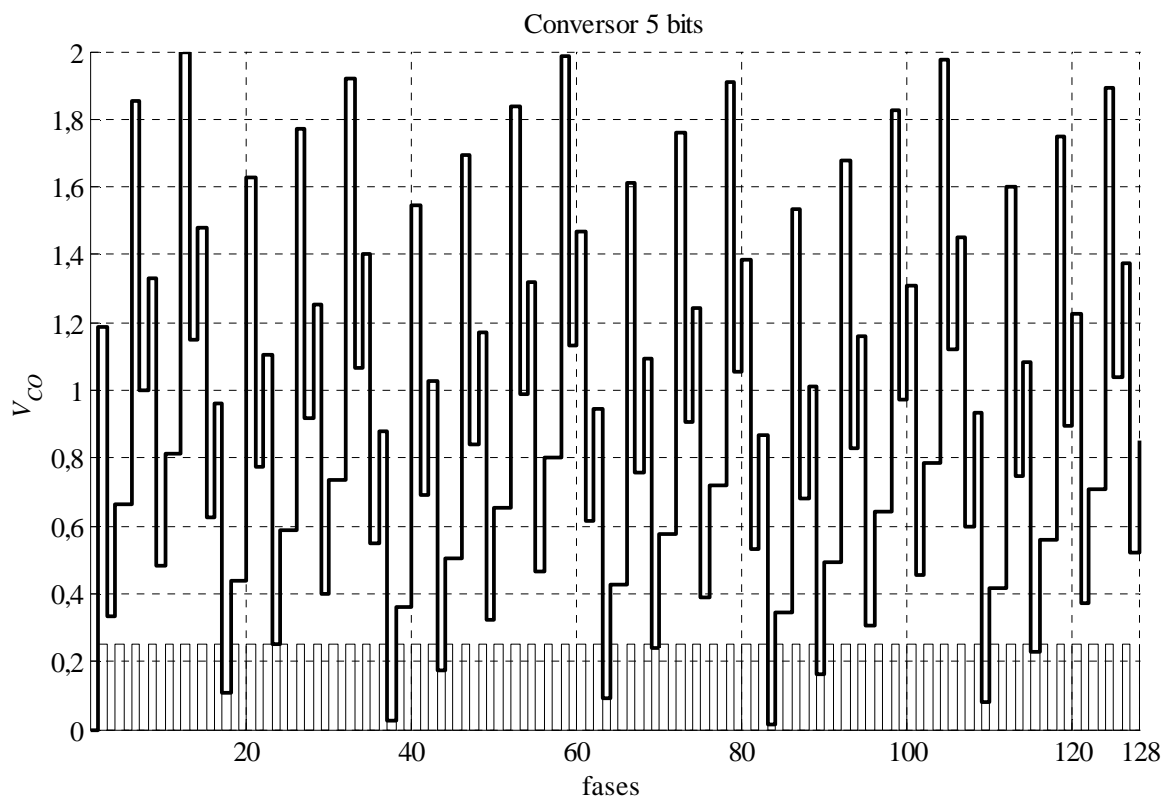


Figura 5.13– Simulação comportamental da tensão no capacitor integrador, V_{CO} , para conversão de 5 bits.

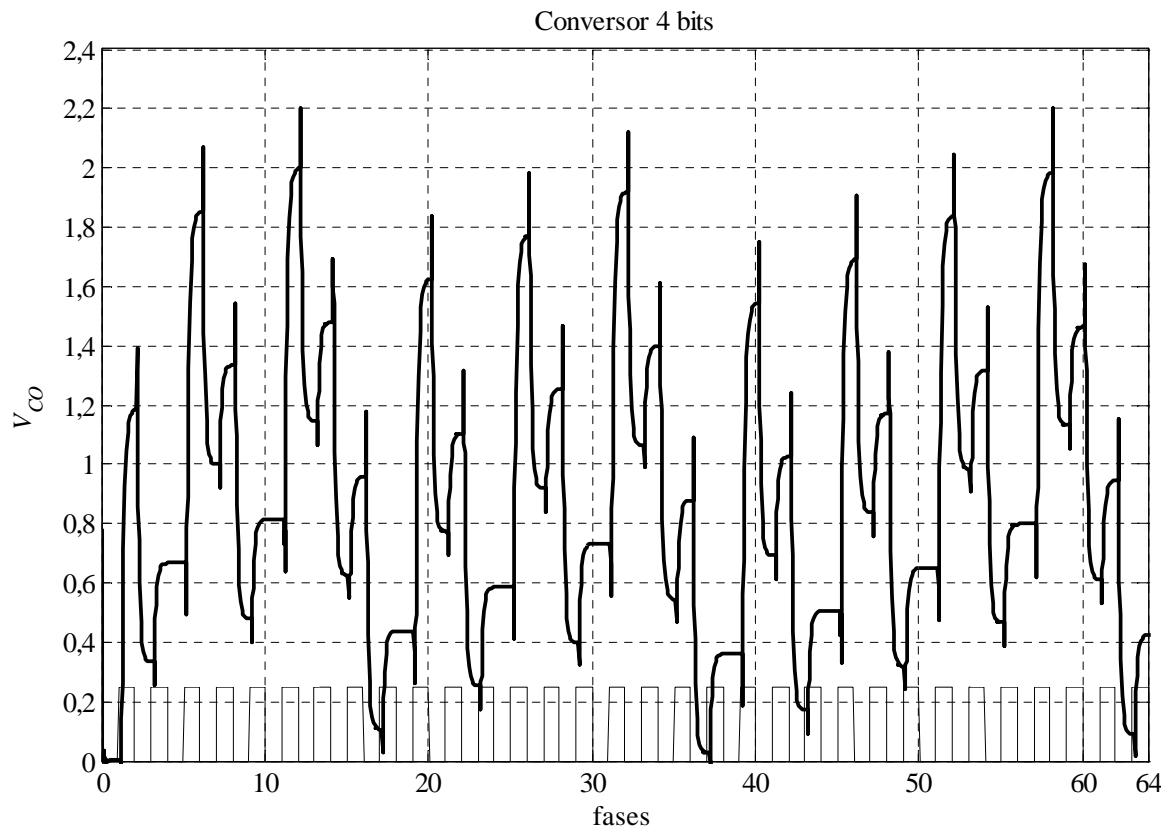


Figura 5.14– Simulação estrutural da tensão no capacitor integrador, V_{CO} , para conversão de 4 bits.

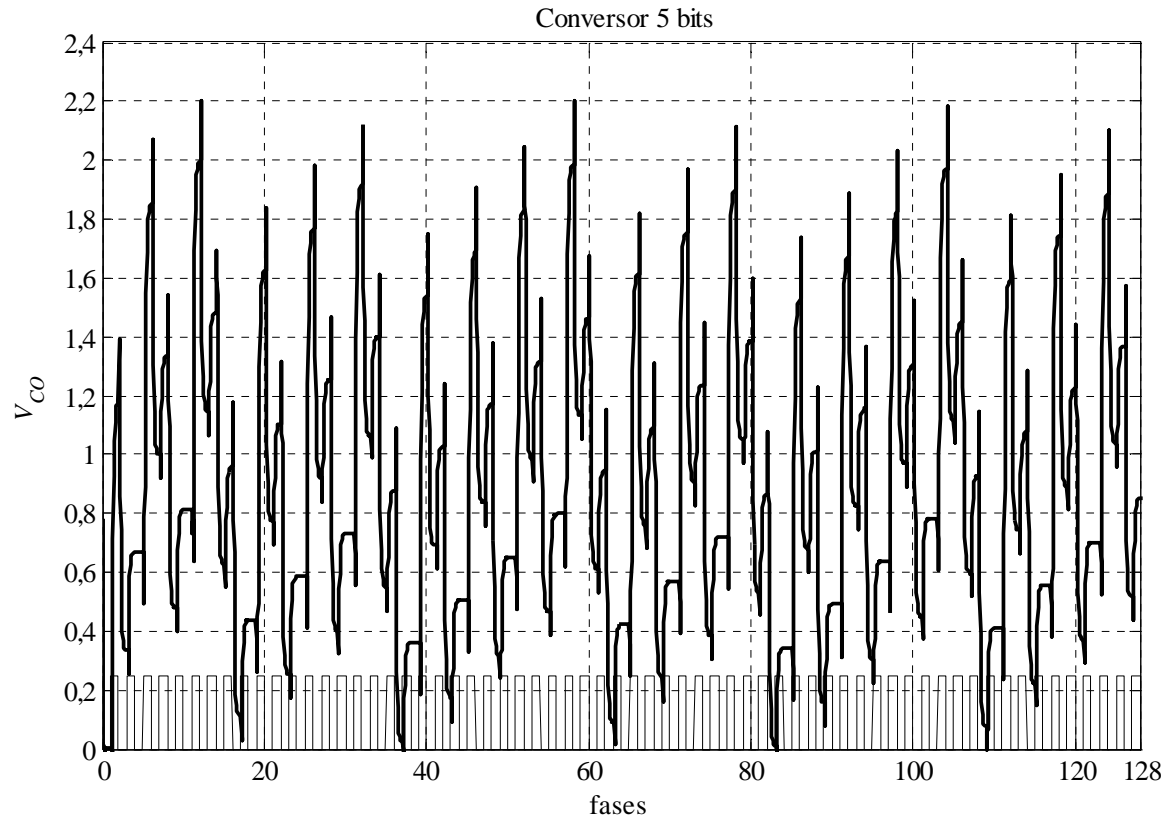


Figura 5.15– Simulação estrutural da tensão no capacitor integrador, V_{CO} , para conversão de 5 bits.

Quanto a amplitude do *jitter*, um capacitor de filtragem pode ser inserido na arquitetura entre os terminais do integrador, com valor mínimo igual à capacitância do integrador e valor máximo 3 vezes maior que o valor da capacitância do integrador. Caso, esse capacitor seja necessário, dependendo do modelo do amplificador operacional utilizado, o instante de tempo do sinal *rst* deve ser considerado para não ocorrer falhas de conversão. Para este projeto utilizou-se um capacitor de filtragem de 100 pF, e sua localização é mostrada na Figura 5.1.

De forma a verificar o processo de quantização e conversão, no conversor A/D proposto em nível estrutural, mostra-se o valor da saída digital em função do sinal analógico de entrada, na simulação de um conversor A/D de 3 bits com faixa de entrada de 0 a 2,56 V. Apesar dos componentes usados não serem ideais, mostra-se na Figura 5.16 que não ocorrem erros de linearidade (DNL e INL), e que os passos analógicos possuem tamanhos iguais 0,32 V. Outros parâmetros analisados, os erros de desvio e de ganho, não foram visualizados na simulação mostrada na Figura 5.16, o que significa um bom desempenho estático do conversor proposto.

Nesta simulação, foram simulados o valor digital para tensões de entrada variando de 0 a 2,56 V, com incrementos de 0,01 V. Observa-se que o resultado obtido é semelhante ao apresentado para a simulação em nível comportamental, mostrado na Figura 4.8.

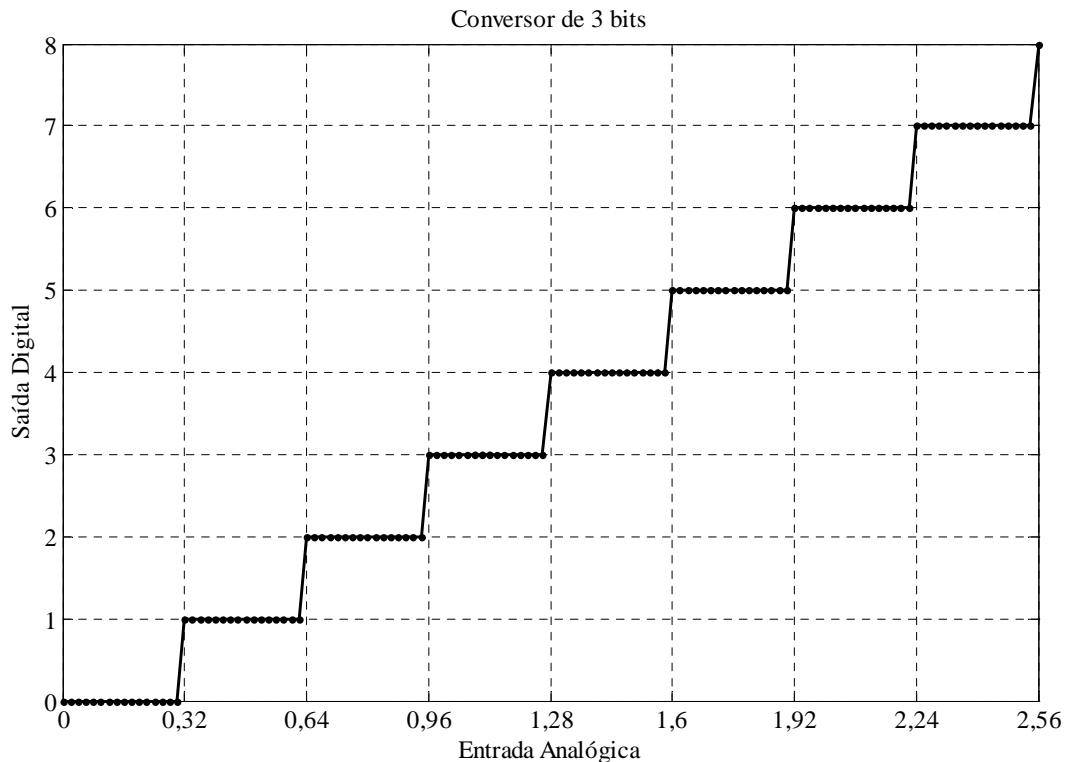


Figura 5.16– Simulação estrutural do valor digital em função da entrada analógica para um conversor A/D de 3 bits.

6. Conclusões e Sugestões

Neste capítulo apresentam-se as conclusões da dissertação, e sugestões de trabalhos futuros.

6.1 Conclusões

O conversor analógico-digital rampa múltipla a capacitor chaveado, com faixa de entrada programável, apresentou resultados de simulação comportamental e estrutural coerentes com a modelagem realizada no Capítulo 4, o que propicia a sua implementação com transistores para a concepção em circuito integrado.

Um conversor com resolução superior a oito bits pode ser implementado com a estrutura proposta, substituindo-se o contador *up/down* especial por um que realize contagens maiores de ciclos. Com o aumento da resolução, reduz-se o valor do LSB, requerendo-se componentes com melhor precisão. Para reduzir o tempo de conversão, podem-se usar frequências superiores a 1 MHz, nos relógios dos componentes.

A variação da faixa de entrada do ADC, com a alteração da capacitância de entrada foi a técnica usada, e as simulações comportamentais das diferentes faixas de entrada do conversor proposto mostrou-se satisfatórias. O capacitor programável usado possui um número mínimo de capacitâncias, e garante a faixa do sinal de medição sem perdas, para uma perda máxima de resolução de 1 LSB.

Para o projeto final do circuito ainda é necessário desenvolver o projeto em nível de circuitos analógicos e leiaute, fazendo também simulações do seu funcionamento para verificações e validação destes.

6.2 Sugestões

Algumas sugestões para trabalhos futuros são:

- Aplicação de uma técnica de variação da faixa de entrada no conversor A/D, em substituição ao uso do capacitor programável, para reduzir o tamanho do circuito e o efeito das capacitâncias parasitas.
- Aplicação da técnica de variação da faixa de entrada, em outras arquiteturas de conversores integradores, entre elas a do conversor sigma-delta.

- Fabricação do conversor em circuito integrado, projetando-se o conversor proposto em níveis de transistores, construindo os layouts e avaliando-se as medidas de desempenho estáticas e dinâmicas descritas no Capítulo 2.

Referências Bibliográficas

- [1] NUNES, R. O.; GOMES, E. C.; Catunda, S. Y. C.; BELFORT, Diomadson R.; FREIRE, R. C. S.; SOUSA, F. R. **Conversor analógico-digital integrador a capacitor chaveado com faixa de entrada programável.** In: XVIII Congresso Brasileiro de Automática, 2010, Bonito. XVIII Congresso Brasileiro de Automática, 2010.
- [2] CATUNDA, S.Y.C.; NAVINER, J. F.; DEEP G.S.; FREIRE,R.C.S. **Designing a programmable analog signal conditioning circuit without loss of measurement range.** Instrumentation and Measurement, IEEE Transactions on Volume 52, Issue 5, Oct. 2003 Page(s):1482 – 1487.
- [3] BELFORT, D. R.; CATUNDA, S. Y. C.; SOUZA, RANGEL, F.; DANTAS, J. P. M.; FREIRE, R. C. S. **Programmable Analog Signal Conditioning Circuit for Integrated Systems.** In: Instrumentation and Measurement Technology Conference, IMTC 2008, 2008, Victoria. v. 1. p. 1848-1852.
- [4] GUEDDAH, N.; MASMOUDI, M. **A Programmable Resolution A/D Converter Modeling.** Lebanese Science Journal. Vol. 7, No. 2, 2006
- [5] GEELLEN, G.; PAULUS, E.; SIMANJUNTAK, D.; PASTOOR, H.; VERLINDEN, R. **A 90nm CMOS 1.2V 10b Power and Speed Programmable Pipelined ADC with 0.5pJ/Conversion-Step.** ISSCC – International Solid-State Circuits Conference 2006. Session 12 – Nyquist ADCs 12.1, 2006
- [6] CHOI, H. C.; KIM, Y. J.; YOO, S. W.; HWANG S. Y. LEE, S.-H. **A Programmable 0.8 V10-bit 60-MS/s 19.2-mW 0.13 - m CMOS ADC Operating Down to 0.5V.** IEEE Transactions on circuits and systems – Express Briefs, VOL 55, No. 4, 2008
- [7] WNOROWSKI, J.J. **Increasing A/D Conversion Resolution by Dynamic Scale Adjustment.** S.M., MIT – Massachusetts Institute of Technology, BS, USA, 2008.

- [8] CONFALONIERI P.; ZAMPROGNO M.; GIRARDI, F.; NICOLLINI G.; NAGARIA. **A 2.7mW 1MSps 10b Analog-to-Digital Converter with Built-in Reference Buffer and 1LSB Accuracy Programmable Input Ranges**, Proc. ESSCIRC. pp. 255-258, Sept.2004.
- [9] JENSEN, H. T. **Continuous Time Delta Sigma ADC with Dithering**. Patent 6975259, Broadcom Corporation, 2005.
- [10] PIPELINE, Maxim Dallas Semiconductor. **A/D and D/A Conversion/Sampling Circuits – Understanding Pipelined ADCs – AN1023**. 2001.
- [11] SAR, Maxim Dallas Semiconductor. **A/D and D/A Conversion/Sampling Circuits – Understanding SAR ADCs – AN1080**. 2001.
- [12] FLASH, Maxim Dallas Semiconductor. **A/D and D/A Conversion/Sampling Circuits – Understanding Flash ADCs – AN810**. 2001.
- [13] INTEGRATOR, Maxim Dallas Semiconductor. **A/D and D/A Conversion/Sampling Circuits – Understanding Integrating ADCs – AN1041**. 2001.
- [14] KESTER, W. **ADC Architectures III: Sigma-Delta ADC Basics – MT022**. ANALOG DEVICES, 2008.
- [15] FETTE, B.; AIELLO, R.; CHANDRA P.; DOBKIN, D. M.; A. BENSKY, A.; MIRON, D.; LIDE, D. A.; DOWLA F.; OLEXA R. **RF and Wireless Technologies**, Elsevier-Newness, 2008.
- [16] MALOBERTI, F. **Data converters**, Springer, 2007.
- [17] GUSTAVSSON M.; WIKNER, J. J.; TAN, N. **CMOS Data Converters for Communications**, Kluwer Academic Publisher, 2002.
- [18] CHUNLEI S.; MOHAMMED, I. **Data Converters for Wireless Standards**, Kluwer Academic Publishers, Dordrecht, 2002.
- [19] TAHA, M. R. S. **Speed Improvements for Dual-Slope A/D Converters**. IEEE Transactions on instrumentation and measurement, IM-34, NO.4, 1985.
- [20] QUINN, P. J.; ROERMUND, A. H. M. V. **Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design**. Dordrecht: Springer, pp. 244, 2007.

- [21] GOEKE, W. **8.5-Digit Integrating Analog-to-Digital Converter with 16-Bit, 100,000-Sample-per-Second Performance**. HP Journal 40 (2): 8-15; Abril, 1989.
- [22] LIU, M. **Demystifying Switched Capacitor Circuits**. Newnes, pp. 318, 2006.
- [23] RAZAVI, B. **Design of Analog CMOS Integrated Circuits**, McGraw -Hill, New York, 2001.
- [24] BOYLESTAD, R. L.; NASHELSKY, L. **Dispositivos eletrônicos e teoria de circuitos**. 8ª ed. São Paulo: Pearson Prentice Hall, 2004.

Apêndices

Nos apêndices mostram-se os algoritmos usados nas simulações comportamentais do conversor analógico-digital proposto.

A.1 Algoritmo para simulação da tensão na saída do integrador

O algoritmo seguinte foi usado nas simulações da tensão no capacitor integrador, e os resultados são mostrados nas Figuras 4.7, 5.12 e 5.13.

```

%Simulação da tensão no capacitor integrador nas fases da conversão A/D.
% Valores dos capacitores e a resolução do conversor A/D;
Cin= 20e-12;
Cref = 20e-12;
Co= 60e-12;
R = 5;
N = 2^(R+1);
%Tensões de: referência, comparação e entrada;
Vref = 2.56;
Vcp =Vref*(Cref/Co);
Vin = 1;
for j =1:length(Vin)
Np = 0;%Np é a contagem positiva;
Nn = 0;%Nn é a contagem negativa;
Vco(1) = 0;
Vco(2) = Vin(j)*(Cin/Co);
for i = 1:2:2*N
if Vco(i+1) >= Vcp
Vco(i+2) = Vco(i+1) - Vref*(Cr/Co); %fase 1
Vco(i+3) = Vco(i+2) + Vin(j)*(Cin/Co); %fase 2
Nn = Nn + 1;
else
Vco(i+2) = Vco(i+1); %fase 1
Vco(i+3) = Vco(i+2) + Vref*(Cref/Co) + Vin(j)*(Cin/Co); %fase2
Np = Np + 1;
end
P(i)=0;
P(i+1)=1;
end
D(j) = (Nn - Np)/2;% valor digital da conversão
end

clf
figure(1)
hold on
stairs(1:1:2*N,0.1*P,'r')
stairs(1:1:2*N, Vco(1:1:2*N),'linewidth',2)
hold off
title('Conversor 5 bits' )
xlabel('fases')
ylabel('V_C_O')

```

A.2 Algoritmo para simulação dos valores máximos e mínimos da tensão na saída do integrador

O algoritmo seguinte foi usado nas simulações da tensão no capacitor integrador, mostradas nas Figuras 4.3, 4.4 e 4.5.

```

%Algoritmo para simular os valores máximos e mínimos da variação da tensão
na saída do integrador em função da variação da tensão de entrada,
normalizados pela tensão de referência.
%Escolha dos valores dos capacitores e da resolução do conversor A/D;
Ci = 20e-9;           %Capacitor de entrada
Co = 60e-9;          %Capacitor integrador
Cr = 20e-9;          %Capacitor de referência
r = 10;              %Resolução
N = 2*2^r;           %Número de ciclos

%Tensões de: referência, comparação e máxima na saída do integrador;
Vref = 1;
Vcp = Vref*(Ci/Co)*(Cr/Ci);
Vimax = Vcp + Vref*Cr/Co + Cr/Co*Vref;

%Declaração das Matrizes (Vii, Vomax e Vomin - com tamanho 100*Vimax)
s = -1*ones(1,N);
Vii = (0:0.001:Vimax);
Vomax = zeros(size(Vii));
Vomin = zeros(size(Vii));

% Primeiro ciclo / No total são N ciclos
for j = 1:length(Vii)
Vi = Vii(j);
Nap = 0; Nn = 0;
Nap = Cr*Vref;
Q1 = Ci*Vi;          % fase 1 do primeiro ciclo
Q2(1) = Q1 + Qnp;   % fase 2 do primeiro ciclo
Vo(1) = Q2(1)/Co;  % Tensão de saída no final do ciclo

% Segundo ciclo em diante
for k = 2:N
% Fase 1
Q1 = Ci*Vi;
IF Vco(k-1) >Vcp
Qnp = -Cr*Vref;
Nn = Nn + 1;
s(k) = -1;
else
Qnp = Cr*Vref;
Np = Np + 1;
s(k) = 1;
end
% Fase 2
Q2(k) = Q2(k-1) + Q1 + Qnp;
Vo(k) = Q2(k)/Co;
end
% Tensões máximas e mínimas na saída do integrador
Vomax(j) = max(Vo);
Vomin(j) = min(Vo);
end
grid
figure(1)
plot (Vii, Vomax/Vref, Vii, Vomin/Vref);

```

A.3 Algoritmo para simulação da quantização do conversor A/D

O algoritmo seguinte foi usado nas simulações da quantização mostradas nas Figuras 4.8, 4.9, 4.10.

```

%Algoritmo para simular a quantização do conversor A/D com a representação
de faixas de valores analógicos por valores digitais
%Escolha dos valores dos capacitores e da resolução do conversor A/D;
Cin = 20e-12;
Cref = 20e-12;
Co = 200e-12;
R = 3;
N = 2^(R+1);

%Tensões de: referência, comparação e máxima na saída do integrador;
Vref = 2.56;
Vcp =Vref*Cref/Co;
Vin = 0:0.001:2.56;

for j =1:length(Vin)
Np = 0;
Nn = 0;
Vco(1) = Vin(j)*(Cin/Co);
for i = 1:N
if Vco(i) >= Vcp
Vco(i+1) = Vco(i) - Vref*(Cref/Co) + Vin(j)*(Cin/Co);
Nn = Nn + 1;
else
Vco(i+1) = Vco(i) + Vref*(Cref/Co) + Vin(j)*(Cin/Co);
Np = Np + 1;
end
end
% Valor Digital
D(j) = (Nn - Np)/2;

end
K = 1:N;
figure(1)
stairs(Vin,D)
title('Conversor 4 bits' )
xlabel('Entrada analógica')
ylabel('Saida Digital')
grid

```

AN.1 Anexo do artigo

A metodologia usada para o cálculo dos valores do conjunto de ganhos, mostrado no Capítulo 3, é descrita no artigo *Designing a Programmable Analog Signal Conditioning Circuit without Loss of Measurement Range*, anexado nesta seção. A partir do conjunto de ganhos, definem-se as capacitâncias do capacitor programável, de forma que a cada capacitância tem-se uma faixa de entrada. Com esses valores de capacitância, as especificações da perda de resolução máxima de 1 LSB e a não perda de faixa de medição são garantidas.

Designing a Programmable Analog Signal Conditioning Circuit without Loss of Measurement Range

¹Sebastian Y. C. Catunda, ³Jean-François Naviner, ²Gurdip S. Deep and ²Raimundo C. S. Freire

¹Universidade Federal do Maranhão, DEE, São Luís, MA, Brazil

²Universidade Federal de Campina Grande, DEE, Campina Grande, PB, Brazil.

³Ecole Nationale Supérieure des Télécommunications, Paris, France

E-Mails: catunda@dee.ufma.br, {deep, freire}@dee.ufcg.edu.br, naviner@enst.fr

[1] ***Abstract*** – Programmable analog signal conditioning circuits can be programmed in the field to permit their use in several applications with a variety of sensors with different output signal characteristics. The digital programming of the gain and dc level shift of a conditioning circuit can affect the measurement resolution and cause a reduction in the range of the measuring system in which it is employed. For a specified maximum acceptable loss in the measurement resolution, a procedure for defining and employing the programming values that guarantees the full measurement range is proposed. The proposed methodology takes into account practical implementation considerations and can be employed for designing either discrete or integrated circuits.

[2] ***Keywords*** – programmable circuits, analog circuits, measurement system, signal conditioning, gain programming.

I. NOMENCLATURE

In this paper, the superscripts ‘+’ and ‘-’ represent upper and lower limit values, the superscript ‘o’ represents ideal values, \square represents signal range or span, values inside ‘ $\lfloor \cdot \rfloor$ ’ indicate rounding to the nearest smaller integer and a statement inside ‘ $[\cdot]$ ’ stands for one if it is true and zero otherwise.

II. I. INTRODUCTION

A programmable analog signal conditioning circuit suitable for measurement applications can be programmed to match the design specifications of a measurement system and adapt it to be used with a class of sensors with different output signal characteristics. This circuit must thus provide functions for signal amplification and dc level shift for the cases of single-ended signals (other functions, as filtering and linearization are usually also required). The conditioned signal can be converted to a digital form by means of an analog to digital converter (ADC), for which the resolution and input signal span are specified a priori.

The functions of amplification and dc level shift can be performed in programmable gain amplifiers [1-3] and there are also some commercial programmable analog or mixed integrated circuits available nowadays that can be used for this purpose [4-6]. However, in these works and products, the programming values are defined empirically without considering their effect in the final measurement quality.

Due to the inherent nature of discrete programming, not all values for the gain and dc level shift can be obtained over a specific range. Values of the dc level shift different from the ideal ones might cause the conditioning circuit signal to saturate (at amplifier's or ADC's output signal limits) leading to a reduction of the effective measurement range. Also, gain values smaller than the ideal ones cause the conditioned signal to lie over a fraction of the specified ADC input range amounting to a loss in the measurement resolution.

For several practical applications, it is more crucial to ensure the full measurement range than to put up with some loss in the measurement resolution. The loss in measurement range cannot be recovered while the loss in measurement resolution can be compensated by specifying an ADC with higher resolution during the design phase. For a specified admissible loss in the measurement resolution, a procedure for defining and employing the gain and dc level shift programming values is presently proposed. This procedure guarantees the full measurement range and still yields the smallest size of the set of admissible discrete programming values taking into account the practical implementation constraints.

The procedures for defining the programming sets for the case of a single-stage signal conditioning circuit are developed in section III. The procedures for a multi-stage pipelined case are developed in section IV based on the results obtained for the single-stage case. In section V we extend these results for the cases of fully differential signals.

III. II. PRELIMINARY DEFINITIONS

Figure 1 shows a single-stage conditioning circuit block diagram. The main role of the signal conditioning circuit is to adjust the sensor's output signal span to match the ADC input range. The sensor's output signal y_{in} is first dc level shifted by y_{dc} and then amplified with a gain G . In the absence of an adequate signal conditioning, the conditioned signal y_c may exceed the ADC input range causing saturation at its output. This effect is represented by the saturation block in Figure 1. The ADC input signal range is defined in terms of its upper and lower limits as $\Delta AD = y_{sat}^+ - y_{sat}^-$. Likewise, the range and the upper and lower limits for the input signal and for the actual conditioned signal are related as $\Delta y_{in} = y_{in}^+ - y_{in}^-$ and $\Delta y_c = y_c^+ - y_c^-$, respectively.

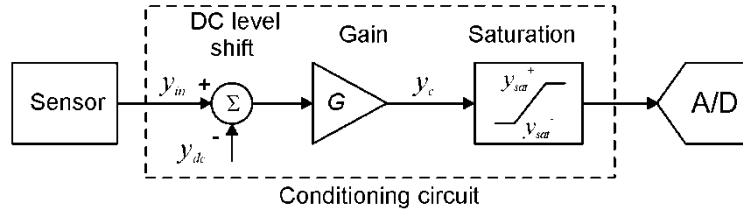


Figure 1. Single-stage conditioning circuit model

Normally, the sensor output signal range (input to the conditioning circuit) does not correspond to the ADC input span. The upper and lower limits of the input signal can be expressed respectively as:

$$y_{in}^+ = \overset{\circ}{y}_{in}^+ + \overset{\circ}{y}_{dc} \text{ and } y_{in}^- = \overset{\circ}{y}_{in}^- + \overset{\circ}{y}_{dc}, \quad (1)$$

where $\overset{\circ}{y}_{in}$ represents input signal without dc level, and $\overset{\circ}{y}_{dc}$ represents the input signal dc level that must be ideally compensated.

The values of gain and dc level shift must be chosen for each specific sensor employed, even though these can assume only some discrete values. Consequently, the errors in programming the gain and dc level shift are defined respectively as

$$\varepsilon_G = G - \overset{\circ}{G} \quad (2)$$

$$\text{and } \varepsilon_{y_{dc}} = \overset{\circ}{y}_{dc} - y_{dc}, \quad (3)$$

where G and $\overset{\circ}{G}$ are the actual (available) and the ideal gain respectively and ε_G is termed as the gain error. y_{dc} is the dc level shift provided by the conditioning circuit and $\varepsilon_{y_{dc}}$ is the error in the dc level shift (dc level residue).

A. Conditioned signal

The conditioned signal without the effect of saturation can be calculated as $y_c = G(y_{in} - y_{dc})$. In this way, with $y_{sat}^+ = \overset{\circ}{G} \overset{\circ}{y}_{in}^+$, the conditioned signal upper and lower limits can be expressed in terms of the gain error and dc level residue, from (1), (2) and (3), respectively as

$$y_c^+ = y_{sat}^+ + \frac{\varepsilon_G}{G} y_{sat}^+ + G\varepsilon_{ydc} \quad (4)$$

and

$$y_c^- = y_{sat}^- + \frac{\varepsilon_G}{G} y_{sat}^- + G\varepsilon_{ydc}. \quad (5)$$

The conditioned signal span, as defined before, may be written as

$$\Delta y_c = \Delta AD \left(1 + \frac{\varepsilon_G}{G} \right). \quad (6)$$

B. Loss in measurement resolution

The measurement resolution is affected by a mismatched programmed gain, which makes the conditioned signal span to be different from the ADC input signal span. The loss of resolution is defined as N_L and it can be expressed (in number of bits) either in terms of the relative gain error or in terms of the ideal and actual gain values[7], respectively, as

$$N_L = -\log_2 \left(1 + \frac{\varepsilon_G}{G} \right) = \log_2 \left(\frac{G}{G} \right). \quad (7)$$

The loss of measurement resolution caused by the conditioning circuit is in addition to the loss due to the ADC non-idealities and both should be considered in determining the total measurement resolution loss.

C. Requirements to ensure the complete measurement range

To eliminate loss in the measurement range there should be no saturation in the ADC output. Thus, for the upper limit of the conditioned signal value at the ADC input, we must have $y_c^+ \leq y_{sat}^+$ and from (4) we have

$$\frac{\varepsilon_G}{G} y_{sat}^+ + G\varepsilon_{ydc} \leq 0 \quad (8)$$

$$\text{or} \quad -\frac{\varepsilon_G}{G} \geq \frac{G\varepsilon_{ydc}}{y_{sat}^+}, \quad (9)$$

where ε_G always assumes negative values.

Similarly, for the lower limit value of the conditioned signal, we must have $y_c^- \geq y_{sat}^-$ and from (5) we have

$$\frac{\varepsilon_G}{G} y_{sat}^- + G\varepsilon_{ydc} \geq 0. \quad (10)$$

Considering the y_{sat}^- equal to zero, we have

$$G\varepsilon_{ydc} \geq 0. \quad (11)$$

Thus, from (9) and (11) we can observe that the dc level shift must be equal to or greater than zero. Therefore, as the actual gain is always positive, equation (11) always holds true. If we force the gain error (by choosing an under-dimensioned gain) high enough to guarantee (9) we will also guarantee no loss in the measurement range. Thus, the requirements to eliminate loss in the measurement range are that:

- the dc level shift must not be over-dimensioned, and
- the relative gain error must be high enough to assure (9), making the gain under-dimensioned.

IV. III. SINGLE-STAGE CONDITIONING CASE

The loss in the measurement range can be caused by an incorrect dc level adjustment and/or by employing an over-dimensioned gain, which causes part of the conditioned signal span to lie outside the specified ADC input limits. Further, if we always employ an under-dimensioned gain, we can cancel the loss of measurement range due to the ill chosen adjustment in the dc level. Although, this restriction on the gain introduces some extra loss in measurement range and influences the choice of the set of dc level shift programming.

A. Gain Programming Set

We define the maximum and minimum ideal gains, according to the output signal characteristics of a chosen group of sensors, as \dot{G}_{\max} and \dot{G}_{\min} . The complete gain programming set consists of n_G values and it is denoted as $\Gamma = \{G_1, \dots, G_{n_G}\}$, with $G_1 < \dots < G_{n_G}$ and $G_2 \leq \dot{G}$. In addition, we must define the maximum acceptable loss in the measurement range as $N_{L\max}$.

As stated in the previous section, the gain must be always under-dimensioned to assure the full measurement range. The key idea in the programming strategy is to choose, from the programming set, the next value smaller than that equal to or smaller than the ideal required gain. Thus, the gain to be employed from the set is G_{p_G} (as function of the programming index p_G), with p_G given by

$$p_G = \begin{cases} \max \{i \in \{1, \dots, n_G\} \mid G_i \leq \dot{G}\} - 1, & \text{if } \dot{G} < G_E, \\ n_G, & \text{otherwise} \end{cases}, \quad (12)$$

where G_E is a gain value, not included in the set, used for defining when the last gain value is to be employed. The value of G_E is determined later on.

For this strategy, the maximum relative gain error is given by the ratio of the gain values separated by two gain steps, and the minimal relative gain error is given by the ratio of the gain values separated by one gain step. From (7) and considering the maximum admissible loss of resolution, we can define the maximum ratio of the gain values separated by two steps of gain as $r = 2^{N_{L\max}}$ and, for $i = 1, \dots, \lfloor (n_G + 1)/2 \rfloor$, we can write

$$G_{2i+1} = rG_{2i-1}. \quad (13)$$

In order to determine the relationship between two consecutive gain values we can decompose the ratio r into two fractions q and s , so that $r = qs$. In this way, we can define relationship between the gains with even and odd index as

$$G_{2i} = sG_{2i-1} \quad (14)$$

$$\text{and} \quad G_{2i+1} = qG_{2i}. \quad (15)$$

This choice of gain values defines the limits of the relative gain error as

$$1 - \frac{1}{\min(q, s)} \leq -\frac{\varepsilon_G}{\overset{\circ}{G}} \leq 1 - \frac{1}{r}. \quad (16)$$

The minimum gain programming set, as function of s and r , can be written as

$$\Gamma = \left\{ a, as, ar, asr, \dots, as^{\lfloor n_G/2 \rfloor} r^{\lfloor \frac{n_G-1}{2} \rfloor} \right\}, \quad (17)$$

where $a = G_1 = \overset{\circ}{G}_{\min}/s$, which makes the relative gain error different from zero for the first programming value, and $\lfloor n_G/2 \rfloor$ is equal to one if n_G is even and zero otherwise. For example, for $n_G = 8$, the complete set is given by $\Gamma = \{a, as, ar, asr, ar^2, asr^2, ar^3, asr^3\}$.

The gain values that compose the set define a series and can be calculated (for $i = 1, \dots, n_G$) as

$G_i = as^{\lfloor i/2 \rfloor} r^{\lfloor \frac{i-1}{2} \rfloor}$. The value of G_E is given by the next value of the series after the last gain

value in the set, so $G_E = as^{\lfloor n_G/2 \rfloor} r^{\lfloor \frac{n_G}{2} \rfloor}$. The number of the elements in the gain programming

set can be determined by completing the series until finding the maximum gain value that is

equal to or smaller than the maximum ideal gain, or $n_G = \max \left\{ i \in \{1, \dots\} \mid G_i \leq \overset{\circ}{G}_{\max} \right\} - 1$.

Alternatively, the number of programming values can be determined as

$$n_G = 2\eta + \left[\frac{\overset{\circ}{G}_{\max}}{sr^\eta} \geq 1 \right], \quad (18)$$

$$\eta = \left\lfloor \log_r \left(\overset{\circ}{G}_{\max}/a \right) \right\rfloor$$

The best relationship among the gain ratios is $q = s = \sqrt{r}$, because these define a constant minimum relative gain error over the full programming range. However, the values of q and r

can be chosen for defining gain values which are easy to implement in practice, as it is shown in the application example.

B. DC Level Shift Programming Set

Considering the signal to be single-ended we define the maximum and minimum dc level adjustment, according to the sensor output signal characteristics of a given group of sensors, as $y_{dc\max}^\circ$ and $y_{dc\min}^\circ$. The complete dc level shift programming set consists of n_{dc} values and it is denoted as $\Psi = \{y_{dc1}, \dots, y_{dcn_{dc}}\}$. As the required gain and dc level shift are independent, the best choice for the dc level shift programming set is the one that consists of equally spaced values. Thus, the dc level shift programming values can be calculated, for $i = 1, \dots, n_{dc}$, as

$$y_{dci} = \frac{y_{dc\max}^\circ - y_{dc\min}^\circ}{n_{dc}} (i-1) + y_{dc\min}^\circ. \quad (19)$$

The dc level shift employed $y_{dcp_{dc}}$ (as function of the programming index p_{dc}) must be smaller than or equal to the desired value, so $p_{dc} = \max \left\{ i \in \{1, \dots, n_{dc}\} \mid y_{dci} \leq y_{dc}^\circ \right\}$. The worst-case dc level residue can be calculated as

$$\epsilon_{ydc\max} = \frac{y_{dc\max}^\circ - y_{dc\min}^\circ}{n_{dc}}. \quad (20)$$

The value of n_{dc} depends on the maximum value of the actual gain and on the minimum loss in the measurement resolution. The minimum loss of measurement resolution is attained for the smaller of the q and s values. From (9), (16) and considering the worst-case dc residue and the maximum programming gain value, we have

$$\frac{G_{n_G} \epsilon_{ydc\max}}{y_{sat}^+} \leq 1 - \frac{1}{\min(q, s)}. \quad (21)$$

The number of programming values is then

$$n_{dc} \geq \frac{G_{n_G} \left(y_{dc \max}^{\circ} - y_{dc \min}^{\circ} \right)}{y_{sat}^+ \left(1 - \frac{1}{\min(q, s)} \right)}. \quad (22)$$

The required number of bits for programming the dc level shift values is given by the base two logarithm of n_{dc} .

V. IV. MULTI-STAGE CONDITIONING CASE

For large values of the actual gain and large number of dc level shift programming values, n_{dc} , the conditioning circuit to implement the gain and dc level shift can become quite complex and expensive. Although, it is possible to split the conditioning circuit in several stages (as shown in Figure 2), and this has the advantage of reducing the ratio between the largest and the smallest programming element values for the circuit and may lower the gain bandwidth product specifications of the operational amplifiers to be used. In Figure 2, for the sake of generality every gain stage is considered to have its own output saturation limits.

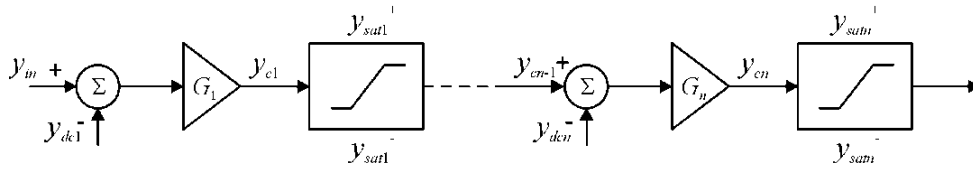


Figure 2. Several pipelined stages of gain and DC level shift.

A. Multi-stage gain programming sets

The complete gain set given by (17) can be easily divided in n smaller sets. One of the sets must contain part of the series defined by the one-stage case, starting with the minimum gain. The other sets can have just two values of gain, which are used to obtain the desired total gain. The conditioning stage employing more than two gain values is more complex than the others and is more susceptible to noise. Thus, this stage is chosen to be the last one, which minimizes the effect of the noise introduced into the system. The complete gain sets are

$$\begin{aligned} \Gamma_1 &= \{1, r^{k_1}\} \\ &\vdots \\ \Gamma_{n-1} &= \{1, r^{k_{n-1}}\} \\ \Gamma_n &= \left\{ a, as, ar, asr, \dots, as^{(n_{Gn}=\text{even})} r^{\lfloor \frac{n_{Gn}-1}{2} \rfloor} \right\} \end{aligned}, \quad (23)$$

where k_1, k_2, \dots, k_{n-1} are integers and n_{Gn} is the number of gain values for the last set.

For these sets we must ensure that $\Gamma \subseteq \{\Gamma_1 \cdot \Gamma_2 \cdots \Gamma_n\}$, i.e. the product of the gains employed in each stage, which gives the total gain, must provide at least the gain set defined by (17).

The amplifiers in the conditioning stages except the last one can be set to use a single gain value greater than one, for these can be simply bypassed, shorting the signal path, to employ a gain equal to one. The gain programming strategy is the same as for the single stage in such a way that it must provide the same necessary minimum and maximum relative gain errors to ensure the full measurement range.

B. Multi-stage dc level shift programming sets

For n conditioning signal stages there must be n dc level shift programming sets, $\Psi_j = \{y_{dcj,1}, \dots, y_{dcj,n_{dcj}}\}$, $j = 1, \dots, n$. The programming values for each stage are chosen similarly as for a single conditioning stage, and the problem consists in determining the number of programming values set of each stage. The first stage must compensate the sensor output signal dc level and the following stages should compensate the dc level residue from its preceding stage multiplied by the associated gain. The output signal at the j^{th} conditioning signal stage, without saturation, may be written as

$$y_{cj} = y_{cj}^{\circ} + y_{dcj}^{\circ}, \quad (24)$$

$$\text{with } y_{cj}^{\circ} = G_j y_{cj-1}^{\circ}, \quad (25)$$

$$y_{dcj}^{\circ} = G_j \epsilon_{ydcj}, \quad (26)$$

$$\epsilon_{ydcj} = y_{dcj-1}^{\circ} - y_{dcj}^{\circ} \quad (27)$$

and with $y_{c0}^{\circ} = y_{in}^{\circ}$ and $y_{dc0}^{\circ} = y_{in}^{\circ} - y_{in}^{\circ}$.

In order to determine the number of dc level shift programming values necessary for each stage, an analysis of the output signal at each stage is carried out, from the last to the first one. As the dc adjustment is considered always under-dimensioned, there exists no saturation at the

lower saturation limit of any stage. The output signal upper limit in the last stage can be expressed as

$$y_{cn}^+ = y_{satn}^+ + \frac{\varepsilon_G}{G} y_{satn}^+ + G_n \varepsilon_{ydcn}, \quad (28)$$

for which one must guarantee $y_{satn}^+ \geq y_{cn}^+$. Following this procedure for the j^{th} signal conditioning stage, other than the last stage, the upper limit on the conditioned signal can be expressed as

$$y_{cj}^+ = \frac{y_{satj}^+ + \frac{\varepsilon_G}{G} y_{satj}^+}{\prod_{k=j+1}^n G_k} + G_j \varepsilon_{ydcj}, \quad (29)$$

for which we must ensure $y_{satj}^+ \geq y_{cj}^+$. Thus, as the worst-case, the highest value of the right side of (29) occurs for the j^{th} stage maximum gain and for the gains equal to one in the following stages. This makes (29) similar to (28) with the difference that the dc level may not be equal to zero for the first stage. Therefore, considering no saturation in the previous stages and following a similar procedure to achieve (9) and, later on (22), a generalized expression can be written as

$$n_{dcj} \geq \frac{G_{j,n_{Gj}} \left(y_{dcj-1\max}^{\circ} - y_{dcj-1\min}^{\circ} \right)}{y_{satj}^+ - y_{satn} / \min(q, s)}, \quad (30)$$

with $y_{dcj-1\min}^{\circ} = 0$ for $j > 1$.

Finally, the maximum dc level at each stage input $j, j > 1$, can be calculated as

$$y_{dcj-1\max}^{\circ} = \varepsilon_{ydcj-1\max} G_{j,n_{Gj}}. \quad (31)$$

VI. FULLY-DIFFERENTIAL CASE

When the target application happens to use only differential signals (as with fully-differential amplifiers) or single-ended signals without dc level, there is no need to employ dc level shift and the design of the conditioning circuit can be simplified. The programming strategy can be defined to use the first available gain in the set that is smaller than or equal to the desired ideal gain. The complete gain set may consist of gain values of even index of the gain set defined in (17) and is defined as $\Gamma = \{a, ar, ar^2, \dots, ar^{n_G-1}\}$, with $a = \overset{\circ}{G}_{\min}$. The number of programming gain values is given by $n_G = \left\lfloor \log_r \left(\overset{\circ}{G}_{\max} / a \right) \right\rfloor$ which yields a set with approximately half the size of the set defined earlier in section III. Likewise, the programming set can also be easily divided in several smaller sets for employing a multi-stage conditioning.

VII. APPLICATION EXAMPLES

As a design example, we consider a measurement system with an ADC input and amplifiers' output saturation limits equal to $[0, 2 \text{ V}]$, which may be obtained in circuits biased with 3.3 Vdc, and the maximum acceptable loss of resolution equal to 1 bit. The necessary gain and dc level shift limits are $[1, 256]$ and $[0, 1 \text{ V}]$, respectively.

A. Single-stage design

For a single stage design, we have: $y_{dc\max}^{\circ} = 1 \text{ V}$, $y_{dc\min}^{\circ} = 0$, $N_{L\max} = 1 \text{ bit}$, $y_{sat}^+ = 2 \text{ V}$, $\overset{\circ}{G}_{\min} = 1$, $\overset{\circ}{G}_{\max} = 256$. For the maximum acceptable loss of resolution we have $r = 2$ and we chose $q = 1.5$ and $s = 4/3$, which yields passive components of easy practical implementation. Directly from (18) we have $n_G = 16$, which requires 4 bits for programming the gain. From (22) we have $n_{dc} = 256$, which requires 8 bits for programming the dc level shift and from (20) we have the maximum dc level residue $\varepsilon_{ydc\max} = 3.9 \text{ mV}$. From (17), the complete gain set is

$$\Gamma = \{0.75, 1, 1.5, 2, 3, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 128\}. \quad (32)$$

Figure 3 shows the upper and lower limits of the relative gain error given by (16), the minimum value of the relative gain error necessary to ensure the full measurement range calculated from (9) and the actual relative gain error, which happens to be the same for the single-stage and two-stage designs.

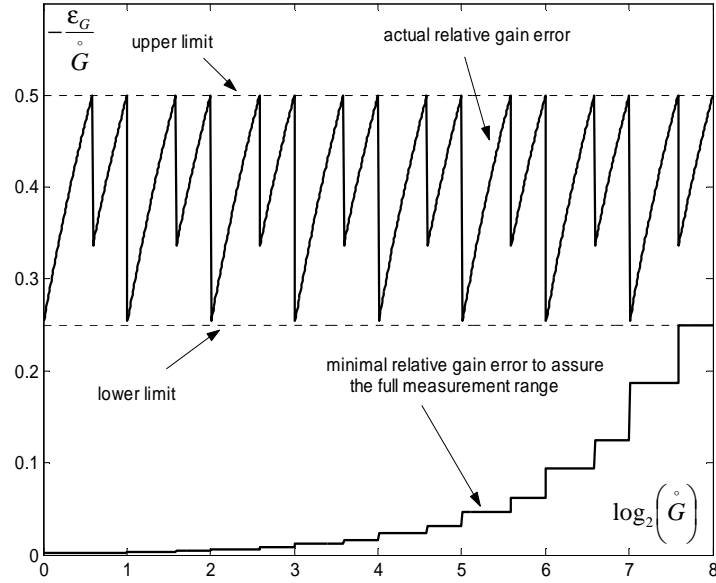


Figure 3. Actual relative gain error and limits

B. Two-stage design

For a two-stage pipelined conditioning design, considering the same saturation limit for both stages, the gain set found in (32) can be divided in two gains sets as

$$\Gamma_1 = \{0.75, 1, 1.5, 2, 3, 4, 6, 8\},$$

$$\Gamma_2 = \{1, 16\}.$$

The number of programming values for the first stage, from (30) is $n_{dc1} = 16$, requiring 4 bits for programming each one. From (31), the maximum value of the dc level at the second stage input is 0.5 V and for this value we have $n_{dc2} = 16$. The ideal gain and actual gain are shown (for both single-stage and two-stage designs) in Figure 4, as function of the ideal gain, making evident the proposed strategy for selecting the appropriate gain values.

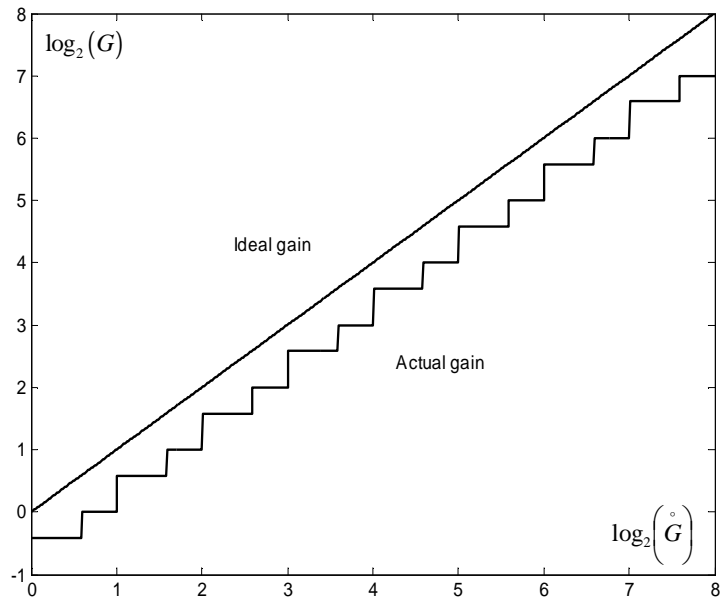


Figure 4. Ideal and actual gain values

From the presented example, it can be seen that for a large range of the desired gain it is more interesting to divide the conditioning circuit in several stages. For the single-stage design, the maximum gain value employed and the maximum ratio between gain values are 128 and 170.7, respectively, and for the two-stage design, they are both equal to 16 (for the last stage). Thus, for the two-stage design (as compared to the single-stage design) the maximum ratio between passive components is reduced by a factor of 10.7. The gain bandwidth product specification for the second-stage amplifier is lowered by a factor of approximately five (considering the effect of cascading two amplifiers in the total gain bandwidth product). Likewise, the number of bits for programming the dc level shift is reduced from eight to four bits.

VIII. VII. CONCLUSIONS

A new methodology is proposed to define and select the appropriate programming values for the gain and dc level shift for one or several pipelined signal conditioning stages, which assures no loss in the measurement range. This procedure is illustrated by an example, where it can be seen that it's more advantageous to divide the conditioning into several pipelined stages, for a wide range of gains and dc level shifts. Dividing the signal conditioning circuit in several stages may have also the advantage of lowering the required specifications of the operational amplifiers in respect of the gain bandwidth product.

The proposed procedure can therefore be employed for a discrete component signal conditioning circuit as well as to an integrated one, independent of the circuit technique to be

used. Nevertheless, the methods and analysis were carried out at the functional level, and, an analysis of the practical limitations and imperfections of the analog circuits must be carried out, which may result in a trade-off between the number of stages and the signal conditioning accuracy.

IX. ACKNOWLEDGMENTS

The authors acknowledge the CNPq, Pronex, CAPES-COFECUB, and PROCAD for the support in the form of fellowship during the period of this research.

X. REFERENCES

- [1] W. Q. Yang, "Combination of ADC and DAC to measure small variation with large standing signal," presented at Advanced A/D and D/A Conversion Techniques and their Applications, 1999. Third International Conference on (Conf. Publ. No. 466), Univ. of Manchester Inst. of Sci.&Technol., UK, 1999.
- [2] P. Malcovati and F. Maloberti, "A fully integrated CMOS magnetic current monitor," presented at Circuits and Systems, 1999. ISCAS '99.Proceedings of the 1999 IEEE International Symposium on, Dept. of Electr.Eng., Pavia Univ., Italy, 1999.
- [3] M. E. Gruchalla, J. O'Hara, D. Barr, T. Cote, L. Day, D. Gilpatrick, M. Stettler, and D. Martinez, "Beam profile wire-scanner/halo-scrapers sensor analog interface electronics," presented at Particle Accelerator Conference, 2001. PAC 2001.Proceedings of the 2001, Honeywell FM&T/NM, Albuquerque, NM, USA, 2001.
- [4] SIDA, "FIPSOC - Field Programmable System on Chip," : SIDA, 2001.
- [5] Lattice, "ispPAC10 - In-System Programmable Analog Circuit Datasheet," : Lattice, 2001.
- [6] Cypress, "PsoC MCU devices," : Cypress Microsystems 2002, 2002.
- [7] S. Y. C. Catunda, J.-F.Naviner, G. S. Deep, and R. C. S. Freire, "Measurement System Gain and DC Level Shift Programming," presented at IEEE Instrumentation and Measurement Technology Conference, Baltimore, Maryland, U.S.A., 2000.