

UNIVERSIDADE FEDERAL DO MARANHÃO
CENTRO DE CIÊNCIAS EXATAS E TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA DE ELETRICIDADE

**Circuito de Condicionamento de Sinais Analógicos
Programável para Sistemas Integrados**

Diomadson Rodrigues Belfort

São Luís – MA
2007

Circuito de Condicionamento de Sinais Analógicos Programável para Sistemas Integrados

Dissertação de Mestrado submetida à
Coordenação do Programa de Pós-Graduação
em Engenharia Elétrica da UFMA como
parte dos requisitos para obtenção do título
de mestre em Engenharia Elétrica

Por

Diomadson Rodrigues Belfort

São Luís – MA
2007

Belfort, Diomadson Rodrigues.

Circuito de Condicionamento de Sinais Analógicos Programável
para Sistemas Integrados / Diomadson Rodrigues Belfort – São Luís, 2007.

76 f.

Dissertação (Mestrado em Engenharia Eletricidade) – Curso de
Engenharia Elétrica, Universidade Federal do Maranhão, 2007.

1. Circuitos de Condicionamento Programáveis 2. Capacitores
Chaveados I. Título

CDU 621.3

Circuito de Condicionamento de Sinais Analógicos Programável para Sistemas Integrados

Diomadson Rodrigues Belfort

Dissertação aprovada em __/__/____

Prof. Sebastian Yuri Cavalcanti Catunda, Dr.
(Orientador)

Prof. Fernando Rangel de Sousa, Dr.
(Membro da Banca Examinadora)

Prof. Cleonilson Protásio de Souza, Dr.
(Membro da Banca Examinadora)

Dedicatória

*À minha mãe, Suely de Assis Rodrigues;
aos meus irmãos Suelyton, Dilson e Glauce e
a minha namorada Markeane Gomes.*

Agradecimentos

A minha mãe Suely de Assis Rodrigues pelo incentivo.

Aos meus irmãos: Suelyton, Dilson e Glauce, pela amizade e companheirismo.

A minha namorada Markeane Gomes pelo apoio e amizade.

Ao professores Sebastian Yuri Cavalcanti Catunda, pela orientação e amizade.

Ao professor João Viana, pelos esclarecimentos e conselhos.

Aos meus amigos do LIEA que sempre me incentivaram, em especial ao Juan Maurício, Mauro Sérgio, José Igor.

A todos os amigos e familiares que de uma forma ou de outra contribuíram para a elaboração desta dissertação.

Em sistemas digitais de medição, circuitos de condicionamento de sinais têm como principal finalidade o ajuste dos sinais analógicos para realização da conversão digital. Para maximização da aplicação de um circuito ou sistema de medição, considerando ainda sua integração em uma única pastilha, esses circuitos têm que ser programáveis, de forma a atender a diversos tipos de sensores com características de sinais de saída diversas. As principais funções do circuito de condicionamento, neste caso, são a amplificação e o ajuste de nível cc do sinal analógico.

Nesta dissertação, propõe-se uma arquitetura de um circuito de condicionamento integrado com ajuste de nível cc e ganho programáveis, otimizada em número de componentes discretos, usando a técnica de capacitores chaveados. A arquitetura proposta permite a utilização do circuito nos modos diferencial e de terminação única, unipolar ou bipolar. Um projeto de um circuito integrado é realizado implementando a arquitetura proposta em tecnologia CMOS 0,35 μm TSMC, disponível no ASIC *design kit* (ADK) do pacote de programas da Mentor Graphics, IC Nanometer.

Palavras-Chave: Sistemas em chip, Condicionamento de sinais analógicos, Circuitos integrados, Circuitos Programáveis, Capacitores chaveados, Sistemas embarcados, Microeletrônica, Instrumentação eletrônica.

In digital measurement systems, signal conditioning circuits have the main functionality of adjusting analog signals for digital conversion. For maximizing the application of a measurement circuit or system, yet considering its integration in a single chip, these circuits must be programmable, in order to serve to different kinds of sensors with diverse output signal characteristics. The main functions of the signal conditioning circuit, in this case, are the amplification and dc level shift of the analog signal.

In this master's thesis, an architecture of a signal conditioning integrated circuit with programmable gain and dc level shift, optimized in number of discrete components, using the switched capacitor technique is proposed. The proposed architecture allows the circuit use in differential and single-ended modes, with unipolar and bipolar signals. The design of an integrated circuit is carried out for implementing the proposed architecture using 0.35 μm TSMC CMOS technology, available in the ASIC design kit (ADK) of the Mentor Graphics, IC Nanometer software package.

Keywords: Systems on chip, Analog signal conditioning, Integrated circuits, Programmable circuits, Switched capacitors, Embedded systems, Microelectronics, Instrumentation.

LISTA DE ABREVIACÕES	XI
LISTA DE FIGURAS	XII
LISTA DE TABELAS	XIV
CAPÍTULO 1 INTRODUÇÃO	1
1.1 Organização da Dissertação	4
CAPÍTULO 2 ARQUITETURA DO CIRCUITO DE CONDICIONAMENTO	5
2.1 Especificações do Projeto	6
2.1.1 Modo Terminação Única	7
2.1.2 Modo diferencial	8
2.2 Simulações Comportamentais	9
CAPÍTULO 3 PROJETO DOS CIRCUITOS PARA CONDICIONAMENTO	15
3.1 Amplificador Operacional	15
3.1.1 Circuito de Polarização	18
3.2 Simulações do amplificador	19
3.2.1 Taxa de Subida	19
3.2.2 Excursão da Tensão de Saída (Output Swing)	20
3.2.3 Resposta em Frequência do Ganho e da Fase	21
3.3 Capacitores programáveis	22
3.4 Chaves	24
3.5 Simulações	25
3.5.1 Resultado das Simulações para o Modo Diferencial	25
3.5.2 Resultado das Simulações para o Modo Terminação Única Bipolar	26
3.6 Leiaute do circuito projetado	26

CAPÍTULO 4 CONCLUSÕES E TRABALHOS FUTUROS	32
REFERÊNCIAS BIBLIOGRÁFICAS	34
APÊNDICE A TECNOLOGIA MOS	36
A.1 Processo de Fabricação MOS	37
A.1.1 Lâmina de Silício	37
A.1.2 Limpeza RCA	37
A.1.3 Fotolitografia	39
A.1.4 Implantação Iônica	40
A.1.5 Deposição	40
A.1.6 Etching	41
A.2 O Transistor MOS	42
A.3 Componentes Passivos	45
A.4 Modelo do transistor	47
A.5 Avanços da tecnologia MOS	49
APÊNDICE B AMPLIFICADOR OPERACIONAL	51
B.6 Ampop Ideal	51
B.7 Amplificador Operacional de Transcondutância	53
B.8 OTA em <i>Cascode</i> Dobrado	57
B.9 Capacitores Chaveados	58
B.10 Injeção de Carga	61

Lista de Abreviações

A/D	Analógico para Digital
ADK	<i>ASIC Design Kit</i>
ASIC	<i>Application-specific integrated circuit</i>
CMOS	<i>Complementary metal–oxide semiconductor</i>
D/A	Digital para Analógico
GND	<i>Ground</i>
IC	<i>Integrated Circuit</i>
MOS	<i>Metal–oxide semiconductor</i>
MUX	Multiplexador
NMOS	<i>Negative-Channel Metal Oxide Semiconductor</i>
OTA	<i>Operational Transconductance Amplifiers</i>
PMOS	<i>Positive-Channel Metal Oxide Semiconductor</i>
SoC	<i>System on Chip</i>
TSMC035	<i>Taiwan Semiconductor Manufacturing Corporation 0,35 μm</i>
VDD	<i>Voltage Drain Drain</i>
VSS	<i>Voltage Source Source</i>

Lista de Figuras

Figura 1 – Diagrama de blocos de um sistema de medição	2
Figura 2 - Modelo do condicionador de sinais de dois estágios com ajuste de nível cc no primeiro estágio.	5
Figura 3 - Modelo do condicionador de sinais de dois estágios com ajuste de nível cc no primeiro estágio.	6
Figura 4 - Valores de programação de ganho para o modo de operação terminação única, com ajuste de nível cc e perda de resolução (bits)	10
Figura 5 - Valores de programação de ganho para o modo de operação diferencial com perda de resolução.	10
Figura 6 - Circuito de condicionamento a capacitores chaveados.....	12
Figura 7 - Simulação para o modo de operação diferencial.	13
Figura 8 - Simulação para o modo de operação terminação única com ajuste de nível cc.	14
Figura 9 - Diagrama esquemático do amplificador	17
Figura 10 - Diagrama esquemático do circuito de polarização	19
Figura 11 - <i>Slew Rate</i>	20
Figura 12 - <i>Output Swing</i>	20
Figura 13 - Resposta em Frequência do Ganho.....	21
Figura 14 - Resposta em Frequência da Fase	22
Figura 15 - Amplificador não-inversor a capacitores chaveados	23
Figura 16 - Esquemático do capacitor programável do primeiro estágio.....	23
Figura 17 - Esquemático do capacitor programável do segundo estágio	23
Figura 18 - Esquemático da chave CMOS	24
Figura 19 - Circuito gerador dos sinais de relógio	24
Figura 20 - Circuito gerador dos sinais de relógio	24
Figura 21 - Simulação do ganho do modo diferencial com ganho dez	25
Figura 22 – Leiaute da porta inversora utilizada em vários circuitos.....	27
Figura 23 – Leiaute da chave CMOS	27
Figura 24 – Leiaute do circuito de polarização do amplificador operacional	28
Figura 25 – Leiaute do amplificador operacional.....	28
Figura 26 – Leiaute do bloco de capacitores programáveis do primeiro estágio	29
Figura 27 – Leiaute do bloco de capacitores programáveis do segundo estágio.....	29
Figura 28 – Leiaute do circuito de condicionamento completo	30
Figura 29 – Leiaute do circuito de condicionamento completo com anel de PADS.....	30

Figura A1 – (a) máscara usada na litografia, (b) lâmina coberta com fotoresiste, (c) exposição seletiva a luz ultravioleta, (d) região exposta depois do <i>etching</i>	39
Figura A2 – (a) lâmina pronta para o <i>etching</i> . (b) resultado do <i>etching</i>	41
Figura A3 – Estrutura simplificada de um NMOS	42
Figura A4 – Seção transversal de um transistor NMOS, com pequeno V_{ds} e $V_{gs} > V_{th}$	44
Figura A5 - Capacitores MOS	46
Figura A6 - Resistores: (a) difuso, (b) polisilício, (c) poço n.....	47
Figura A7 – Evolução do número de parâmetros dos modelos com o passar dos anos (EKV).	49
Figura B1 - Símbolo de um amplificador operacional	52
Figura B2 - Modelo para o ampop não ideal	52
Figura B3 - Amplificador operacional com carga capacitiva.....	53
Figura B4 - Modelo linear do OTA	54
Figura B5 - Configuração básico de um OTA.....	56
Figura B6 - Símbolo esquemático de um OTA	56
Figura B7 - OTA com saída em <i>cascode</i> dobrado.....	58
Figura B8 - Capacitor chaveado	59
Figura B9 - Injeção de carga quando a chave MOS é desligada	61
Figura B10 - Compensação da injeção de cargas utilizando chave <i>dummy</i>	62
Figura B11 - Compensação da injeção de cargas utilizando chave complementar.....	62

Lista de Tabelas

Tabela 1 – Parâmetros MOS.....	15
Tabela 2 – Dimensões dos transistores.....	18
Tabela 3 – Ganho programado, ganho obtido e o erro máximo de ganho no modo diferencial	26
Tabela 4 – Ganho programado, ganho obtido e o erro máximo de ganho no modo terminação única unipolar.	26

Capítulo 1

Introdução

Um sistema de medição para aplicação em instrumentação é composto geralmente por um sensor, um condicionador, um conversor A/D e uma unidade de processamento, como mostrado na Figura 1 em diagrama de blocos. Este conjunto tem a finalidade de prover informações a respeito de uma grandeza física que podem ser dos mais variados tipos, incluindo: temperatura, pressão, força, deslocamento, radiação e intensidade luminosa. Cada uma destas partes do sistema de condicionamento pode ser representada como um bloco funcional, responsável por funções específicas e acionados conforme a necessidade.

A medição só é possível quando há elementos capazes de gerar um sinal elétrico que corresponda à grandeza deseja, para que este possa ser posteriormente processado ou armazenado. O elemento responsável a este fim são os sensores e os transdutores, que geram um sinal elétrico em sua saída, tensão ou corrente, sensível à grandeza que se deseja medir.

Um sensor é geralmente definido como um dispositivo que responde a um estímulo ou um sinal. Um transdutor por sua vez é um dispositivo que converte um tipo de energia em outra não necessariamente em um sinal elétrico.

Nos casos em que forem utilizados conversores A/D, os sinais elétricos gerados pelos sensores devem ser ajustados para a faixa de entrada do conversor A/D. Por isso, o segundo bloco do sistema é um circuito de condicionamento para a adequação do sinal do sensor à entrada do conversor. O circuito de condicionamento pode realizar diversas

funções, tais como: amplificação, filtragem, isolamento, multiplexação, linearização e excitação, para os sensores que necessitem de uma fonte de energia externa [1].

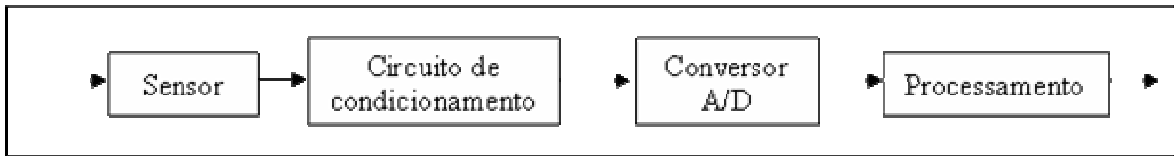


Figura 1 – Diagrama de blocos de um sistema de medição

Com o circuito de condicionamento é possível amplificar e ajustar os sinais com baixa intensidade à faixa de entrada do conversor A/D. Com o ajuste dos sinais, temos uma faixa de variação do sinal bem mais próxima da faixa de entrada do conversor A/D.

Filtros são utilizados, quando há necessidade de reduzir a interferência no sinal de medição. Um filtro passa-baixas, por exemplo, é utilizado quando se deseja permitir a passagem de baixas frequências sem dificuldades e atenuar a amplitude das frequências maiores que a frequência de corte. Outra função do condicionamento é o isolamento dos sinais dos sensores em relação à entrada do conversor, protegendo-os de eventuais problemas que possam vir a danificar elementos do circuito, como sobrecargas de tensão e corrente.

O circuito de condicionamento pode ainda excitar alguns sensores que requerem alimentação externa, seja de tensão ou corrente. A linearização pode também ser realizada pelo circuito de condicionamento nos casos em que os sensores tiverem uma resposta não linear sobre a grandeza de interesse.

O conversor A/D é responsável por traduzir uma grandeza elétrica analógica numa representação numérica adequada para o tratamento digital. Em um sistema de medição é muito comum que alguns tratamentos sejam feitos no sinal analógico, como a amplificação. Contudo, usualmente são necessários processamentos adicionais do sinal que vão desde a simples obtenção da medição da intensidade do sinal até a execução de algumas manipulações algébricas sobre estes, ou mesmo quando há necessidade de armazenamento ou de transmissão.

Para que o sistema de medição possa ser utilizado com diferentes tipos de sensores, com diferentes características dos sinais, o circuito de condicionamento deve prover

diferentes valores de ganho e de ajuste de nível cc [1]. O circuito de condicionamento pode ser implementado em apenas um estágio, entretanto, essa escolha pode levar a um número elevado de valores de programação, tornando a implementação difícil de ser realizada. Porém o circuito pode ser dividido em estágios, contanto que o produto dos ganhos dos vários estágios seja igual ao ganho com único estágio. O circuito de condicionamento em vários estágios apresenta como vantagens: reduzir a diferença entre os valores máximos e mínimos dos componentes passivos empregados e de reduzir as especificações de banda passante dos amplificadores operacionais utilizados [2].

Neste trabalho propomos que o circuito de condicionamento como um bloco que possa fazer parte de um *System on Chip* (SoC), por este integrar todos os componentes de um microcontrolador ou outro sistema eletrônico em um único circuito integrado (IC). Pode conter sinais digitais, analógicos, mistos e freqüentemente funções de radiofreqüência, integradas em uma única pastilha. Porque um SoC integra geralmente várias funções diferentes, é ainda mais crucial minimizar a área de superfície para cada função específica, e especificamente para o circuito condicionador de sinal [3].

O circuito de condicionamento é projetado com amplificadores operacionais de transcondutância, capacitores chaveados e chave CMOS, sendo o valor dos capacitores programado a partir de chaves para alteração do valor do ganho. O circuito de condicionamento é composto por dois estágios de ganho em cascata e pode operar nos seguintes modos: modo de operação diferencial, modo terminação única bipolar, modo terminação única unipolar e de calibração.

Os objetivos principais dessa dissertação são:

- Projetar condicionamento programável de sinais, para que possa permitir a utilização de diferentes tipos de sensores, utilizando uma metodologia que permite a otimização na escolha dos valores de programação e de ajuste de nível cc;
- Implementação do circuito de condicionamento em dois estágios em tecnologia CMOS, que proporcione valores de ganho e ajuste de nível cc definidos no projeto.

1.1 Organização da Dissertação

No capítulo 2, apresenta-se o desenvolvimento da arquitetura do circuito de condicionamento, a partir das especificações do sistema, como faixa de ganho, ajuste de nível cc, valores de saturação e máxima perda aceitável aplicando o procedimento teórico para a definição destes valores. Também são apresentadas simulações comportamentais da arquitetura proposta.

No capítulo 3, apresentam-se o desenvolvimento dos circuitos para o condicionamento, as simulações dos modos de operação e o leiaute do circuito proposto.

No capítulo 4, são apresentadas as conclusões e sugestões relacionadas a este trabalho.

No apêndice A, faz-se uma revisão sobre a tecnologia CMOS: o processo de fabricação, principais características e perspectivas futuras a respeito da tecnologia.

No apêndice B, faz-se uma revisão sobre amplificadores operacionais e amplificadores operacionais de transcondutância, também um breve comentário sobre capacitores chaveados, injeção de cargas e técnicas para compensação.

Capítulo 2

Arquitetura do Circuito de Condicionamento

O circuito de condicionamento de dois estágios com ajuste de nível cc no primeiro estágio pode ser modelado como mostrado na Figura 2, em que:

y_{in} é o sinal de saída do sensor empregado;

y_{dc} é o ajuste de nível cc, para os sinais terminação única;

G_1 e G_2 são respectivamente os valores de ganho empregados no primeiro e segundo estágio de condicionamento, com um ganho total de $G = G_1.G_2$;

y_c é o sinal condicionado, que é a entrada do conversor A/D;

y_{sat}^+ e y_{sat}^- são os limites de saturação em ambos os estágios de condicionamento e entrada conversor A/D.

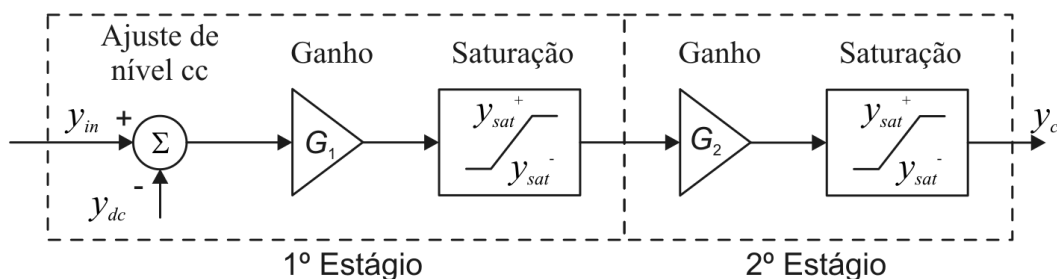


Figura 2 - Modelo do condicionador de sinais de dois estágios com ajuste de nível cc no primeiro estágio.

O circuito de condicionamento de sinais foi planejado para ser integrado em um SoC incluindo os circuitos de um conversor A/D e um conversor D/A. O circuito de

condicionamento é composto de dois estágios de amplificação em cascata, com ajuste de nível cc somente no primeiro estágio e o sistema total é apresentado na Figura 3.

Na Figura 3, o controlador determina os valores do ganho a ser empregado G_1 e G_2 , o valor de saída do conversor D/A para o ajuste de nível cc, e o modo de operação.

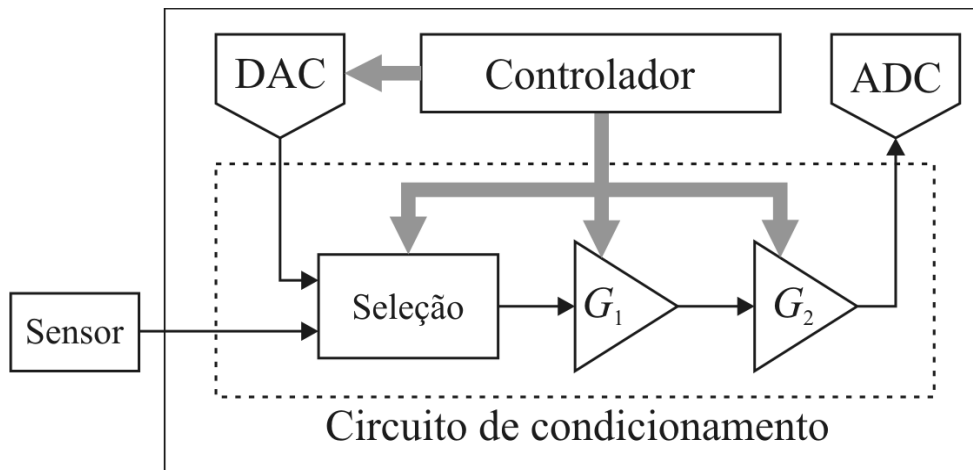


Figura 3 - Modelo do condicionador de sinais de dois estágios com ajuste de nível cc no primeiro estágio.

O circuito de condicionamento é especificado para trabalhar com sinais diferenciais e terminação única, seja bipolar ou unipolar. As tensões de saturação para o circuito de condicionamento e, conseqüentemente, para o conversor A/D são definidos por V_{sat}^- e V_{sat}^+ , que são os valores relativos às tensões limites, VDD e VSS, dependerão do desempenho dos amplificadores operacionais.

2.1 Especificações do Projeto

O procedimento utilizado para a escolha dos valores de programação e ajuste de nível cc foi proposta por [2, 5], em que a partir de um conjunto de especificações, obtém-se o melhor conjunto de ganho e de ajuste de nível cc a serem aplicados.

Para o projeto do circuito de condicionamento, considera-se um conversor com limites de saturação iguais $[-1,65; 1,65]$ e a perda de resolução máxima aceitável de 1 bit.

Os valores de ganho mínimo e máximo ideais são de 1 e 512 respectivamente e os valores de ajuste de nível cc ideais mínimo de -1,65 V e máximo de 1,65 V.

2.1.1 Modo Terminação Única

O projeto do circuito proposto será feito em dois estágios, em que cada estágio possui um conjunto de valores de ganho, garantindo a partir da combinação destes dois conjuntos que seja possível obter o conjunto completo de programação de ganho. Para o primeiro e segundo estágios de ganho, os conjuntos de valores de programação de ganho são dados por [1, 2]

$$\begin{aligned}\Gamma_1 &= \{a, as, ar, asr, \dots, as^{(n_{gi}=par)} r^{\lfloor \frac{n_{gi}-1}{2} \rfloor}\}, \\ \Gamma_2 &= \{1, r^{k_2}\}\end{aligned}\quad (1)$$

Sendo:

Γ_1 – conjunto de programação de ganho do primeiro estágio;

Γ_2 – conjunto de programação de ganho do segundo estágio;

n_{gi} – número de elementos do primeiro conjunto de programação;

r^{k_2} – valor do ganho igual ou seguinte ao último valor de ganho do primeiro estágio.

Para obter valores factíveis de implementação prática, a razão máxima entre os valores entre dois ganhos consecutivos, r , é decomposta em duas frações q e s de forma que $r = q \cdot s$, para estas frações, escolhe-se $q = 4/3$ e $s = 3/2$.

O primeiro elemento da série é dado por

$$a = G_1 = \frac{G_{\min}}{s}. \quad (2)$$

Logo o valor mínimo de ganho para o primeiro estágio do circuito de condicionamento é $a = G_{\min} / s = 1/1,5 = 0,75$.

O número de valores de ganho, n_G é dado por

$$n_G = 2\eta + \left\lceil \frac{G_{\max}}{sr^\eta} \geq 1 \right\rceil, \quad (3)$$

em que

$$\eta = \left\lceil \log_r \left(\frac{G_{\max}}{a} \right) \right\rceil. \quad (4)$$

Portanto a partir das equações 3 e 4, obtém-se o $n_G = 18$ e os conjuntos de ganhos encontrados são

$$\begin{aligned} \Gamma_1 &= \{0,75;1;1,5;2;3;4;6;8;12;16\} \\ \Gamma_2 &= \{1;16\} \end{aligned} \quad (5)$$

Para o ajuste de nível cc, determina-se o número de valores por

$$n_{dc} \geq \frac{G_{\max}(y_{dc\max} - y_{dc\min})}{y_{sat}^+ \left(1 - \frac{1}{\min(q, s)} \right)}, \quad (6)$$

então

$$n_{dc} \geq \frac{512(2,5 - 0)}{2,5 \left(1 - \frac{1}{4/3} \right)} \geq 2048. \quad (7)$$

Para o projeto do condicionador, escolheu-se o valor de 2048 para n_{dc} , com base no resultado obtido da equação 7. Para este número de valores de ajuste de nível cc, calcula-se o resíduo máximo do primeiro estágio como

$$\mathcal{E}_{y_{dc\max}} = \frac{1,65 + 1,65}{2048} = 1,61 \text{ mV}. \quad (8)$$

2.1.2 Modo diferencial

Para o circuito de condicionamento diferencial, não é necessário compensar o nível cc, o que simplifica a estratégia de programação do circuito de condicionamento.

O conjunto completo de valores de ganho é dado por

$$\Gamma_1 = \{a, as, ar^2, \dots, ar^{n_{gi}-1}\}, \quad (9)$$

em que o ganho mínimo ideal é dado por

$$a = G_{\min} \quad (10)$$

e o número de valores de ganho

$$\eta = \left\lceil \log_r \left(\frac{G_{\max}}{a} \right) \right\rceil, \quad (11)$$

e

$$\eta = \left\lceil \log_2 \left(\frac{512}{1} \right) \right\rceil = 9. \quad (12)$$

Os conjuntos de valores para o primeiro e segundo estágio do modo diferencial são

$$\begin{aligned} \Gamma_1 &= \{1;2;4;8;16\} \\ \Gamma_2 &= \{1;16\} \end{aligned} \quad (13)$$

Como o circuito de condicionamento deve operar nos modos definidos no início deste capítulo e verificando que o conjunto de valores de programação do modo diferencial é um subconjunto do modo terminação única, o conjunto de programação para o modo terminação única será utilizado para o modo diferencial e, como vantagem, teremos mais valores de programação de ganho para o modo diferencial e tendo uma perda de resolução menor que a especificada [5].

2.2 Simulações Comportamentais

Os valores de ganho real depois da estratégia de programação proposta e a perda de resolução, como função do ganho ideal, são mostrados para o modo de operação terminação única, com ajuste de nível cc na Figura 4 e para o modo de operação diferencial na Figura 5.

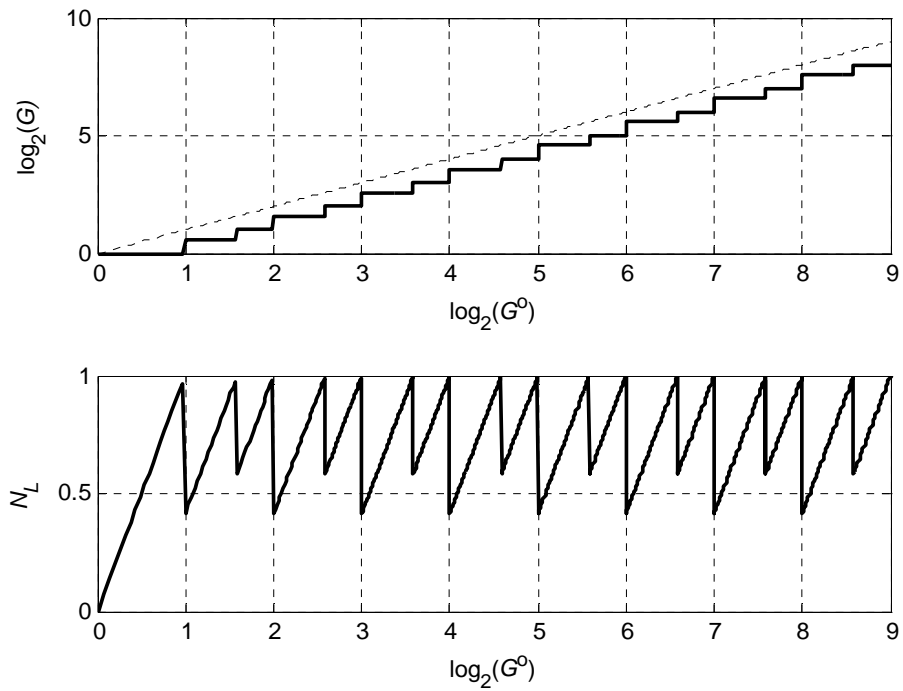


Figura 4 - Valores de programação de ganho para o modo de operação terminação única, com ajuste de nível cc e perda de resolução (bits)

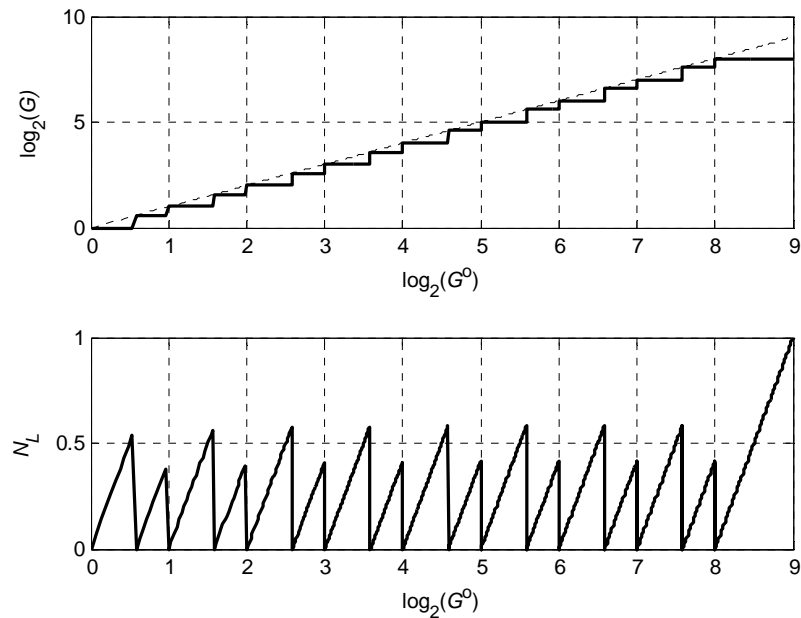


Figura 5 - Valores de programação de ganho para o modo de operação diferencial com perda de resolução.

O circuito de condicionamento proposto é mostrado na Figura 6. A caixa com os números 1 e 2 são chaves CMOS e o número indica a fase do *clock* φ_1 e φ_2 ,

respectivamente. Podem ser selecionados quatro modos de operação através de três multiplexadores 4:1 (MUX). Os modos de operação são com a respectiva entrada do MUX são:

1. Modo de operação Diferencial: seleciona v_i^+ e v_i^- como sinais de entrada diferenciais e GND como referência para o circuito;
2. Modo terminação única bipolar: seleciona v_i^+ e GND como sinais de entrada diferenciais e GND como referência para o circuito;
3. Modo terminação única unipolar com ajuste de nível cc: seleciona v_i^+ e v_{dc} como sinais de entrada diferenciais e v_{sat}^- como referência para o circuito;
4. Calibração: seleciona v_{dc} e v_{sat}^- como sinais de entrada diferenciais e v_{sat}^- como referência do circuito.

Os amplificadores em ambos os estágios são escolhidos para operar na configuração não-inversora a fim de evitar a saturação do sinal para v_{sat}^- . Para minimizar os efeitos de injeção de carga na entrada dos amplificadores os capacitores são ajustados para comutar ambos os terminais. Os capacitores C_1 e C_3 são programados através das chaves de configuração com valores múltiplos de C_2 e C_4 , respectivamente: $C_1 = \{1;1,5;2;3;4;6;8;12;16\}C_2$ e $C_3 = \{1;16\}C_4$.

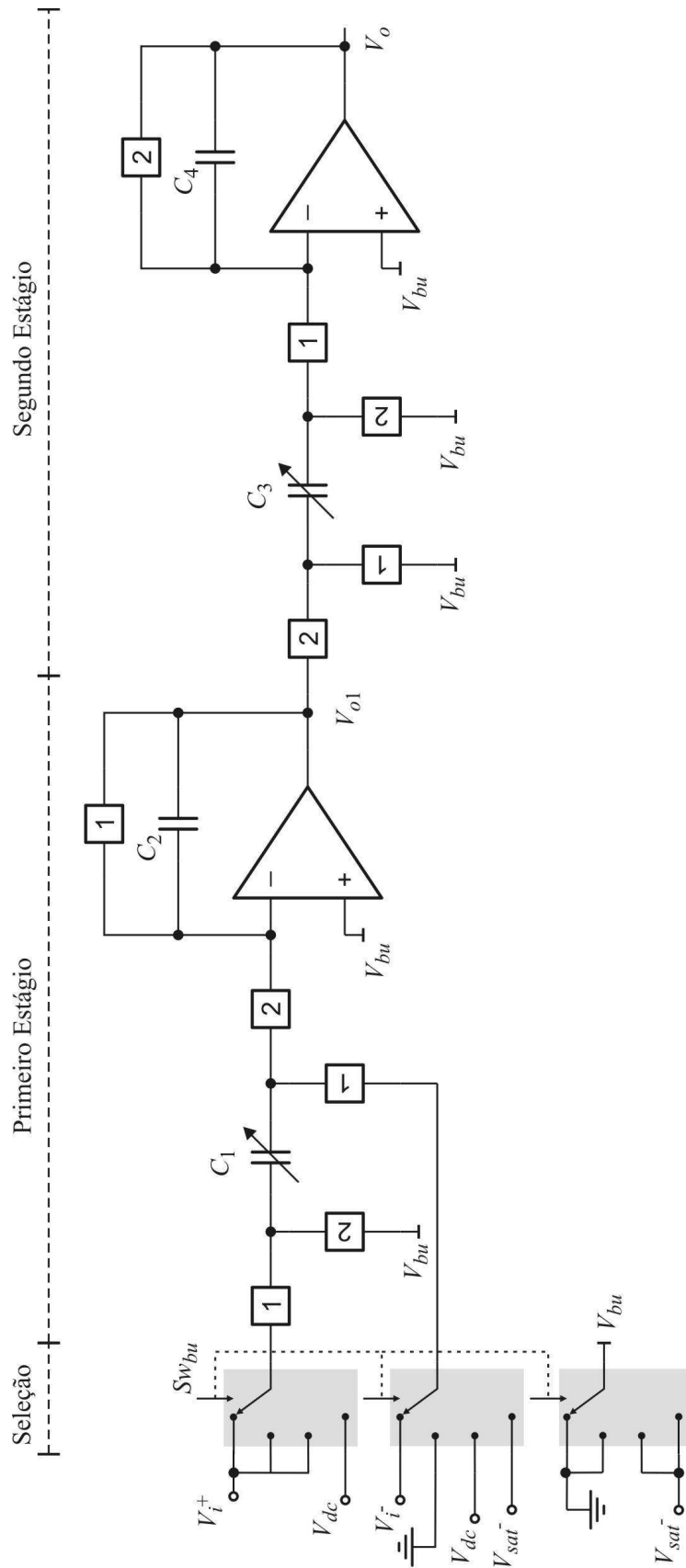


Figura 6 - Circuito de condicionamento a capacitores chaveados

As simulações comportamentais foram feitas com a arquitetura aqui proposta para $VDD = 2,5 \text{ V}$ e $VSS = -2,5 \text{ V}$, considerando $v_{sat}^+ = 2,0 \text{ V}$ e $v_{sat}^- = -2,0 \text{ V}$, usando um amplificador operacional ideal e chaves padrão CMOS e com *clocks* não-sobrepostos φ_1 e φ_2 com frequência de 1 MHz. Os resultados para o modo de operação diferencial são mostrados na Figura 7, para um sinal diferencial

$$v_i^+ = 0,25 \cdot \sin(2 \cdot \pi \cdot 20k \cdot t) \text{ V} \text{ e } v_i^- = -0,25 \cdot \sin(2 \cdot \pi \cdot 20k \cdot t) \text{ V} ,$$

sendo

$$G_1 = 4 \text{ e } G_2 = 1 .$$

Os resultados para o modo terminação única unipolar,

$$v_i^+ = 1,125 + 0,125 \cdot \sin(2 \cdot \pi \cdot 20k \cdot t) \text{ V} \text{ e } v_{dc} = 1 \text{ V} ,$$

sendo

$$G_1 = 1 \text{ e } G_2 = 16 ,$$

são mostrados na Figura 8, observando que a referência para este sinal é v_{sat}^- .

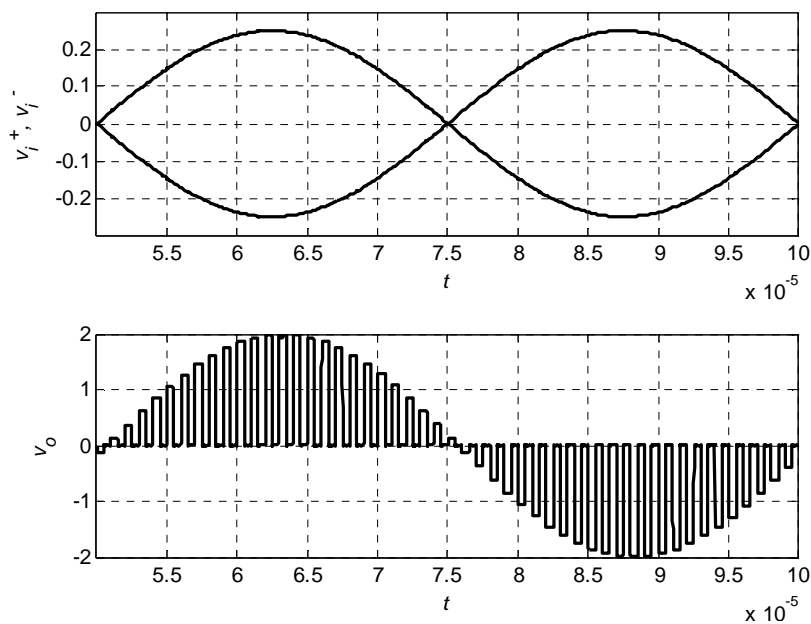


Figura 7 - Simulação para o modo de operação diferencial.

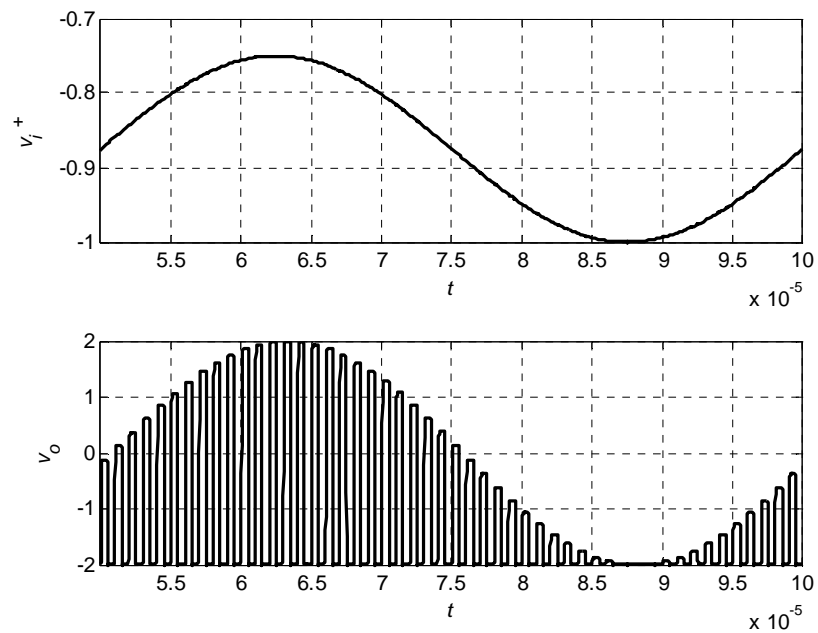


Figura 8 - Simulação para o modo de operação terminação única com ajuste de nível cc.

A partir destas simulações comportamentais, utilizando componentes ideais, podemos observar que o funcionamento do circuito está em concordância com a idéia proposta neste trabalho. O desempenho do circuito de condicionamento está diretamente ligado à qualidade dos seus blocos funcionais e componentes. No próximo capítulo são mostrados os elementos mais importantes do circuito de condicionamento proposto, assim como algumas análises de seu desempenho.

Capítulo 3

Projeto dos Circuitos para Condicionamento

O circuito completo proposto é composto por vários blocos, cada um responsável por uma função específica que serão descritas neste capítulo.

3.1 Amplificador Operacional

Este amplificador é um do tipo *cascode*¹ dobrado, foi projetado para fornecer um ganho de até 16 vezes [2]. Os resultados de algumas características, como resposta em frequência do ganho e da fase, taxa de rejeição de modo comum, taxa de subida e excursão do sinal são mostradas a seguir. As simulações foram feitas com o simulador ELDO, com tecnologia TSMC035 que faz parte do *Asic Design Kit (ADK)*, que é um *design kit* para fins educacionais fornecido pela *Mentor Graphics*. Considera-se também que a saída do amplificador está conectada a um capacitor de 3,2 pF.

Para o projeto do amplificador e do circuito de polarização, foram utilizados parâmetros MOS extraídos do modelo BSIM3v3, segundo metodologia proposta em [8], mostrados na Tabela 1.

Tabela 1 – Parâmetros MOS

	K	V_{th}	λ
PMOS	155,06	0,5231	0,0136
NMOS	58,131	0,7159	0,0454

¹ Acredita-se que o termo *cascode* é derivado da contração das palavras em inglês “*cascaded triode*” usado na tecnologia de válvulas.

Sendo:

1. K – parâmetro de transcondutância;
2. V_{th} – tensão de limiar;
3. λ – fator de modulação do canal.

O esquemático do OTA em *cascode* dobrado utilizado no projeto é representado na Figura 9. O circuito é composto por um amplificador diferencial de entrada e um estágio de saída formado por duas fontes de corrente em *cascode*. Estabelece-se para todos os transistores o mesmo comprimento de canal, o valor de W está representado na Figura [9] pelo número ao lado do transistor. No ponto de polarização as correntes relacionam-se como [9]

$$I_{d_{Mn5}} = I_{d_{Mn6}} = I_{BIAS}/2$$

$$I_{d_{Mp3}} = I_{d_{Mp4}} = I_{BIAS}/2$$

$$I_{d_{Mp1}} = I_{d_{Mp2}} = I_{BIAS}.$$

Os transistores são dimensionados de forma a atender às seguintes equivalências

$$Mn5 = Mn6$$

$$Mn1 = Mn2 = Mn3 = Mn4$$

$$Mp3 = Mp4$$

$$Mp1 = Mp2$$

$$W_{Mp1} = 2W_{Mp3}$$

$$W_{Mp2} = 2W_{Mp4}.$$

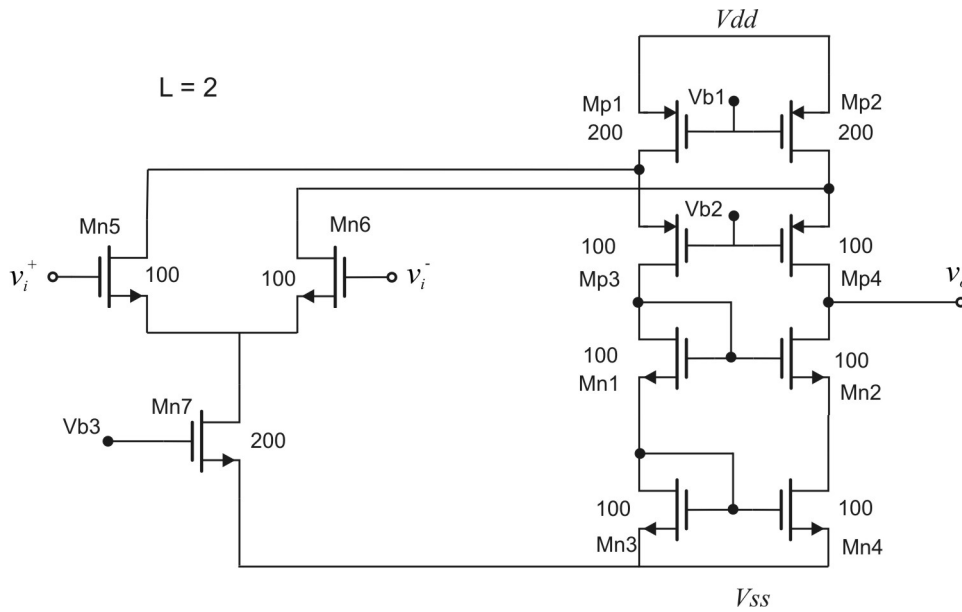


Figura 9 - Diagrama esquemático do amplificador

O circuito do amplificador operacional é projetado para trabalhar com uma corrente de polarização de $300 \mu\text{A}$. A partir desta afirmação e adotando a razão $W/L=100$ é possível calcular a tensão de polarização do transistor Mn7 como

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

então

$$300 = \frac{1}{2} \cdot 155,06 \cdot 100 (V_{GS} - 0,5231)^2$$

$$V_{GS} = 0,72$$

$$V_G - V_S = 0,72$$

$$V_{b3} = V_G = 0,72 - 1,65 = -0,93$$

Sendo a corrente do transistor Mp1 igual a corrente polarização do circuito e adotando-se a razão $W/L=100$, de maneira semelhante ao transistor Mn7, encontra-se a tensão de polarização do par Mp1, Mp2 como

$$300 = \frac{1}{2} \cdot 58 \cdot 50 (V_{SG} - 0,7159)^2$$

$$V_{SG} = 1$$

$$V_S - V_G = 1$$

$$V_{b1} = V_G = 1,65 - 1,00 = 0,65$$

Sabendo que Mp1 esta na região de saturação, e que a corrente em Mp3 é metade da corrente de polarização, podemos calcular a corrente de polarização do par Mp3, Mp4 por

$$150 = \frac{1}{2} \cdot 58 \cdot 50 (V_{SG} - 0,7159)^2$$

$$V_{SG} = 1,01$$

$$V_S - V_G = 1,01$$

$$V_{b2} = V_G = 1,37 - 1,01 = 0,36$$

Seguindo os procedimentos de projeto definidos em [9], obtêm-se as relações definidas na Tabela 2.

Tabela 2 – Dimensões dos transistores

Transistor	W	L
Mp1	200	2
Mp2	200	2
Mp3	100	2
Mp4	100	2
Mn1	100	2
Mn2	100	2
Mn3	100	2
Mn4	100	2
Mn5	100	2
Mn6	100	2
Mn7	200	2

3.1.1 Circuito de Polarização

O circuito de polarização tem como função fornecer as tensões de polarização dos amplificadores operacionais utilizados no circuito projetado com base na arquitetura proposta de modo que os transistores estejam na saturação. Os valores para polarização são

respectivamente 0,65 V, 0,36 V e -0,93 V. Estes valores são obtidos através dos circuitos divisores de tensão da Figura 10 [7].

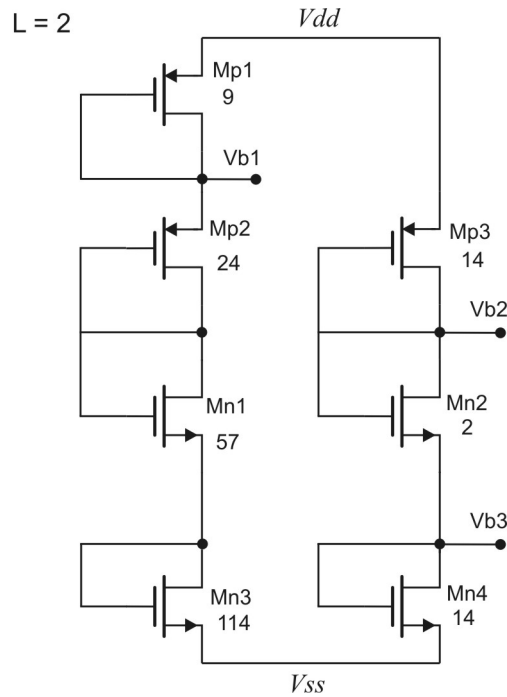


Figura 10 - Diagrama esquemático do circuito de polarização

3.2 Simulações do amplificador

3.2.1 Taxa de Subida

A taxa de subida (*Slew Rate* - SR) define-se como a velocidade de resposta do amplificador a uma variação de tensão na entrada, este valor idealmente deveria ser infinito, o que na realidade não acontece e é dado por

$$SR = \max \left(\left| \frac{dv_{out}(t)}{dt} \right| \right), \quad (14)$$

logo, se conclui que, quanto maior for o valor deste parâmetro melhor será o amplificador.

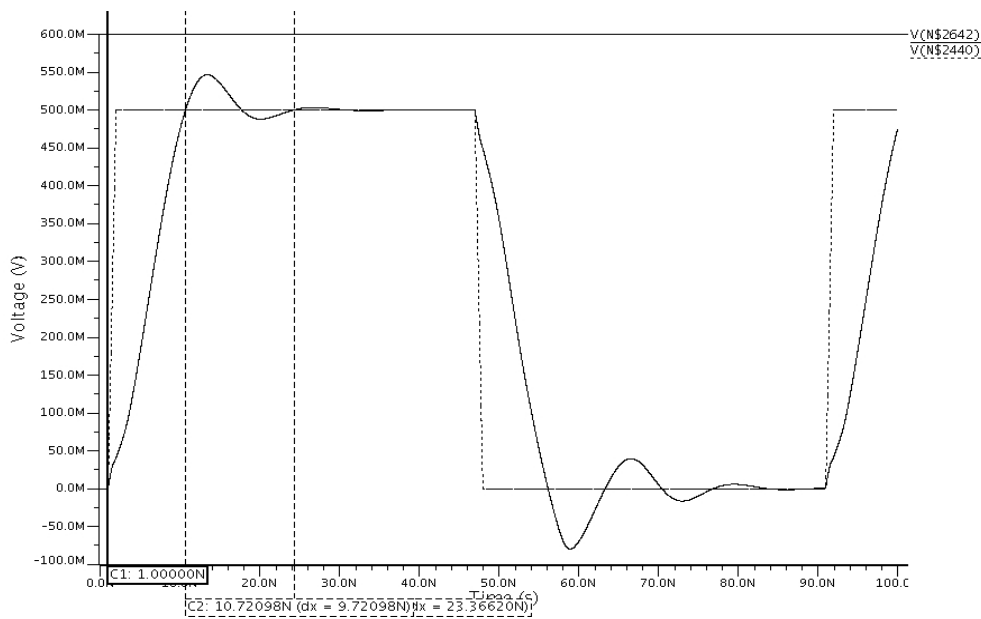


Figura 11 - *Slew Rate*

Com o gráfico da Figura 11, pode-se calcular o *Slew Rate* que para este caso foi de 51,4 V/ μ s. Alguns outros parâmetros podem ser extraídos deste gráfico, como o *overshoot* e o *settling time* que são 0,546 V e 23 ns, respectivamente.

3.2.2 Excursão da Tensão de Saída (*Output Swing*)

Output Swing é a excursão do sinal entre a saturação positiva e negativa.

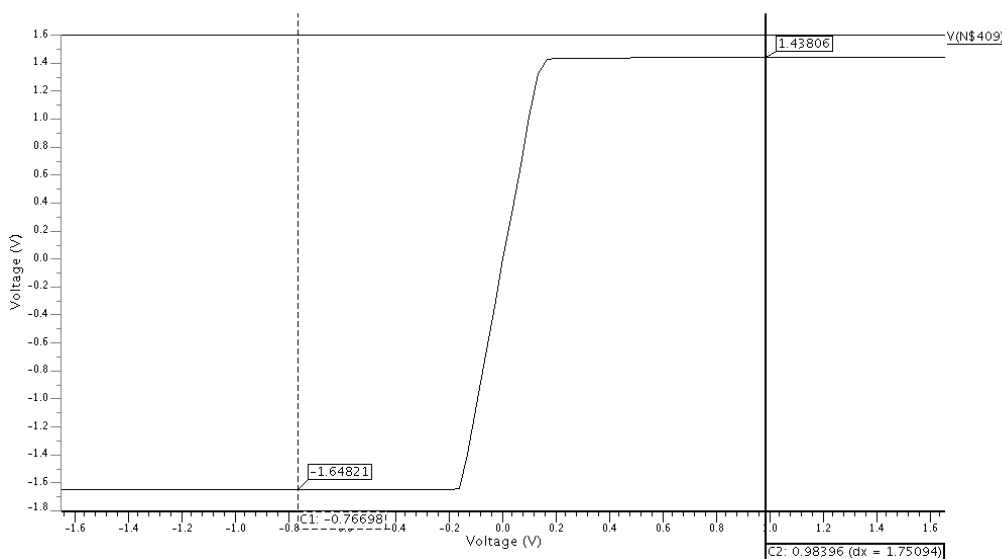


Figura 12 - *Output Swing*

Mostra-se na Figura 12, que a extensão de saída do amplificador em questão é de -1,64 a 1,43 V.

3.2.3 Resposta em Frequência do Ganho e da Fase

O Ganho de malha aberta é a razão da variação da tensão na saída pela variação da tensão de entrada. O ganho em malha aberta de um amplificador não é infinito, o que seria o ideal, melhor dito, ele é finito e diminui com a frequência.

As especificações dos amplificadores fornecem uma descrição do ganho versus banda passante. Na Figura 13 é fornecida uma curva do ganho versus frequência. Quando a frequência do sinal de entrada aumenta, o ganho de malha aberta cai, até finalmente atingir o valor de ganho unitário.

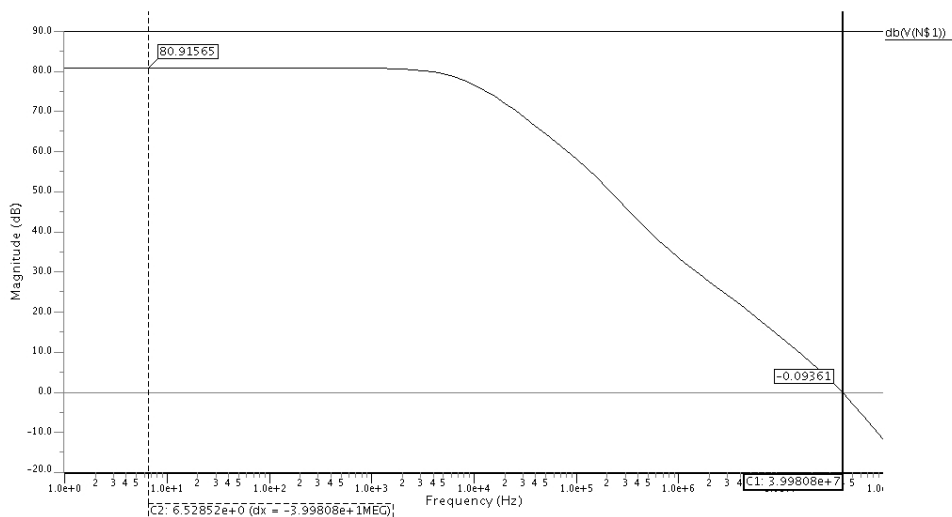


Figura 13 - Resposta em Frequência do Ganho

Na Figura 13, apresenta-se o gráfico da resposta em frequência do ganho de malha aberta desse amplificador projetado, que apresenta uma frequência de transição de 40 Mhz e ganho cc de 80,91 dB.

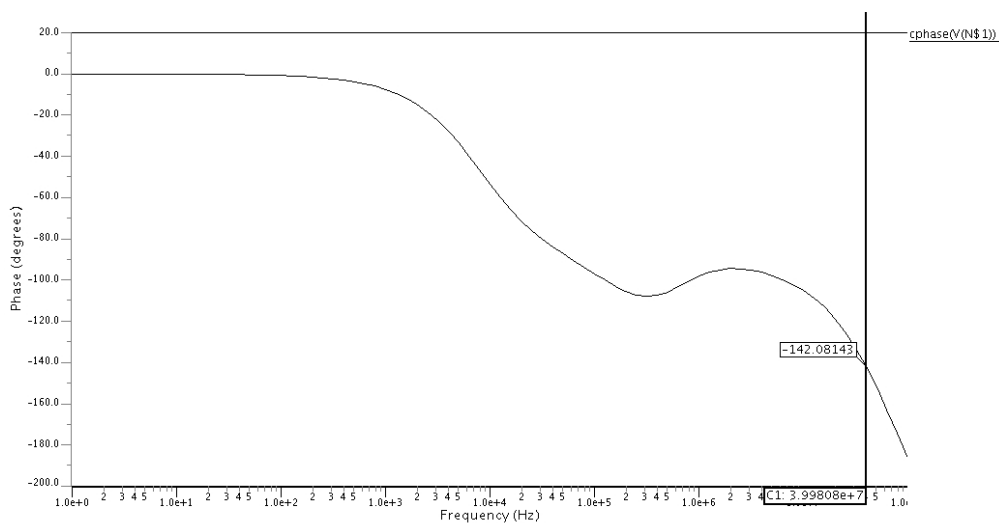


Figura 14 - Resposta em Frequência da Fase

Na Figura 14, apresenta-se o gráfico da resposta em frequência de fase em malha aberta do amplificador, que apresenta uma margem de fase de 37,08 na frequência de transição.

3.3 Capacitores programáveis

O capacitor, quando chaveado pode se comportar como um resistor, porém, ocupa uma área bem menor (ver Apêndice B). A técnica de capacitores chaveados foi escolhida para implementação por apresentar como principal vantagem, a alta precisão do produto RC, ou seja, se um capacitor é chaveado a certa frequência e este é conectado a outro a constante de tempo resultante é em função da razão entre os capacitores.

O circuito de condicionamento tem o seu ganho ajustado de acordo com os valores do capacitor selecionado. Analisando a Figura 15 e sabendo que o ganho é dado pela relação entre os capacitores, ou seja, $V_o = V_i.C_1 / C_2$, manteve-se o capacitor C_2 constante e o capacitor C_1 foi construído por uma associação de capacitores, múltiplos de C_2 e em paralelo, sendo ativados ou desativados através de uma chave de programação que ativa internamente uma chave CMOS, conectando assim o capacitor ao barramento.

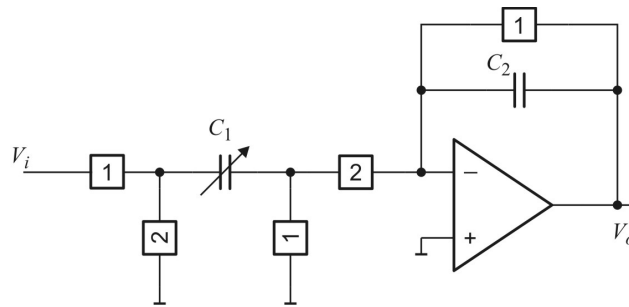


Figura 15 - Amplificador não-inversor a capacitores chaveados

Para o primeiro estágio de programação, o capacitor C_1 é composto cinco capacitores múltiplos de C_2 , como é mostrado na Figura 16, a associação destes pode fornecer um ganho variável de 1 a 16.

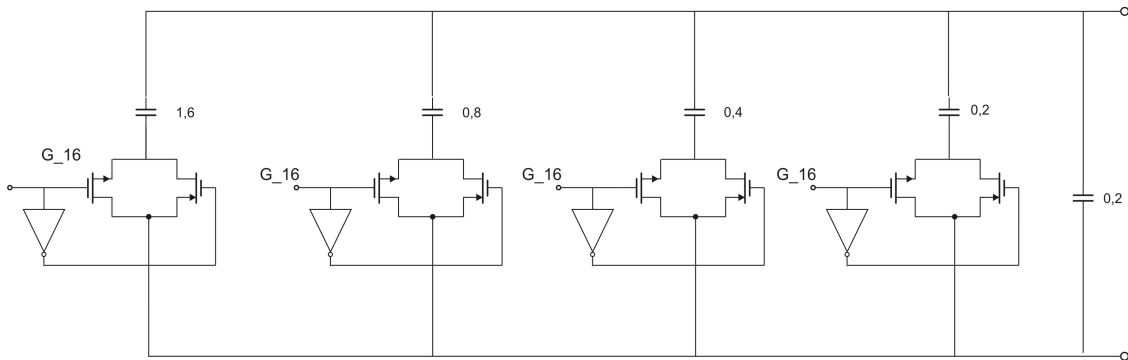


Figura 16 - Esquemático do capacitor programável do primeiro estágio

Para o segundo estágio, tem-se apenas dois valores de ganho de amplificação, 1 e 16, logo o capacitor C_1 é composto pela associação de dois capacitores, como é mostrado na Figura 17.

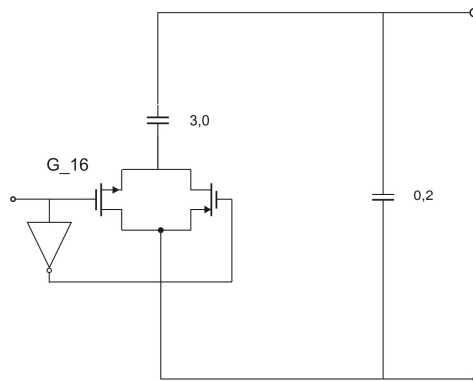


Figura 17 - Esquemático do capacitor programável do segundo estágio

3.4 Chaves

Utilizaram-se chaves CMOS na amostragem e retenção do sinal, para minimizar o efeito da injeção de cargas (ver Apêndice B) e para programação dos capacitores. O diagrama esquemático das chaves utilizadas é mostrado na Figura 18.

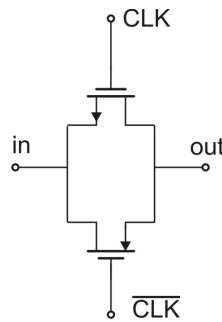


Figura 18 - Esquemático da chave CMOS

Para o funcionamento do circuito de amostragem e retenção é necessário dois sinais de relógio opostos e não sobrepostos, para que o ciclo de carga do capacitor C_1 (Figura 6) ocorra quando com o capacitor C_2 estiver descarregando e a transferência da carga do capacitor C_1 para o capacitor C_2 ocorra somente quando o capacitor C_1 estiver desconectado da fonte de alimentação. Na Figura 19 é mostrado o circuito gerador dos sinais de relógio proposto e na Figura 20 a forma de onda obtida.

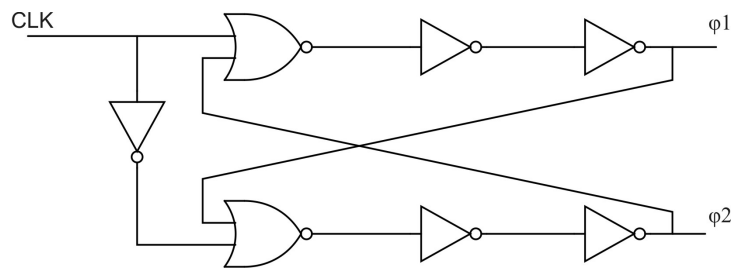


Figura 19 - Circuito gerador dos sinais de relógio



Figura 20 - Circuito gerador dos sinais de relógio

3.5 Simulações

Para as simulações do circuito projetado, utilizou-se os modelos dos transistores NMOS e PMOS BSIM3v3 com o simulador ELDO e o ADK (*Asic Design Kit*) da *Mentor Graphics*, cuja tecnologia escolhida foi a TSMC035. As simulações foram feitas para primeiro estágio do circuito de condicionamento, nos modos: diferencial, terminação bipolar.

3.5.1 Resultado das Simulações para o Modo Diferencial

O ganho no modo diferencial é simulado, aplicando-se às entradas v_i^+ e v_i^- sinais senoidais de amplitudes de 0,05 V e frequência de 200 Hz, Na Figura 21, mostra-se o ganho no modo diferencial com ganho de dez e a Tabela 3 os valores de ganho programados, os ganhos obtidos e o erro máximo de ganho.

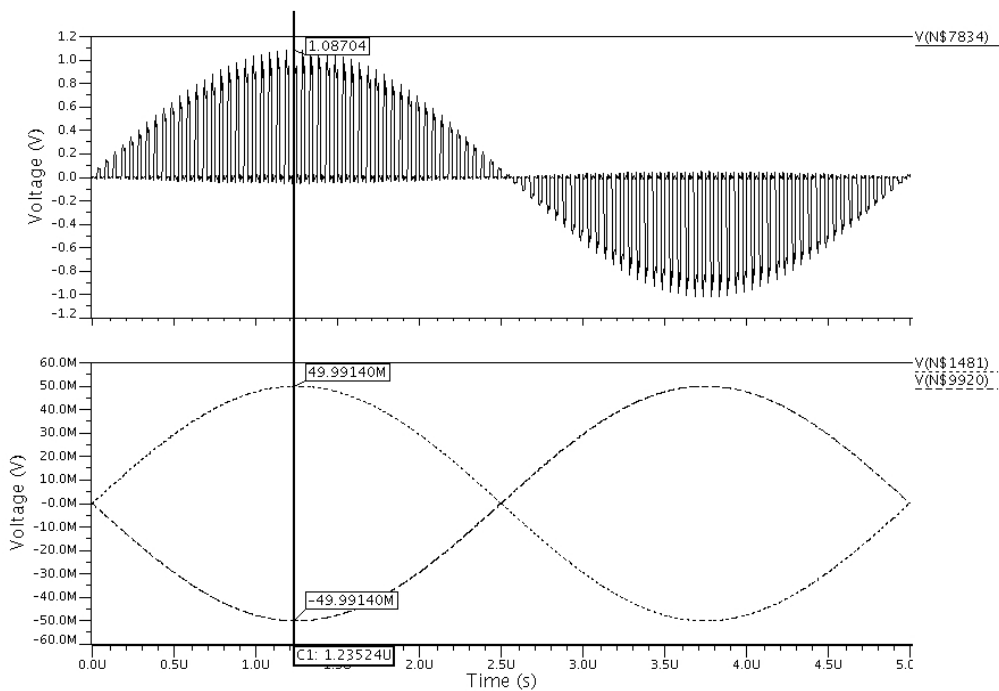


Figura 21 - Simulação do ganho do modo diferencial com ganho dez

Tabela 3 – Ganho programado, ganho obtido e o erro máximo de ganho no modo diferencial

Ganho Programado	Ganho Obtido	Erro Máximo
1	1,01	1 mV
2	2,04	4 mV
4	4,11	11 mV
8	8,13	13 mV
16	16,09	9 mV

3.5.2 Resultado das Simulações para o Modo Terminação Única Bipolar

Para o modo terminação única bipolar, temos uma entrada v_i^+ e GND como sinais de entrada, e a referência do circuito é conectada ao GND. Para esta simulação adotamos $v_i^+ = 0,1 \cdot \sin(200kt)$, os resultados obtidos são mostrados na Tabela 4.

Tabela 4 – Ganho programado, ganho obtido e o erro máximo de ganho no modo terminação única unipolar.

Ganho Programado	Ganho Obtido	Erro Máximo
1	1,03	3 mV
2	2,07	7 mV
4	4,09	9 mV
8	8,12	12 mV
16	16,13	13 mV

3.6 Leiaute do circuito projetado

Os leiautes dos circuitos simulados foram elaborados utilizando a ferramenta da *Mentor Graphics – IC_Station – Versão 2006.2*. Mostram-se nas Figuras 22 a 29 os leiautes dos circuitos elaborados para a tecnologia TSMC035.

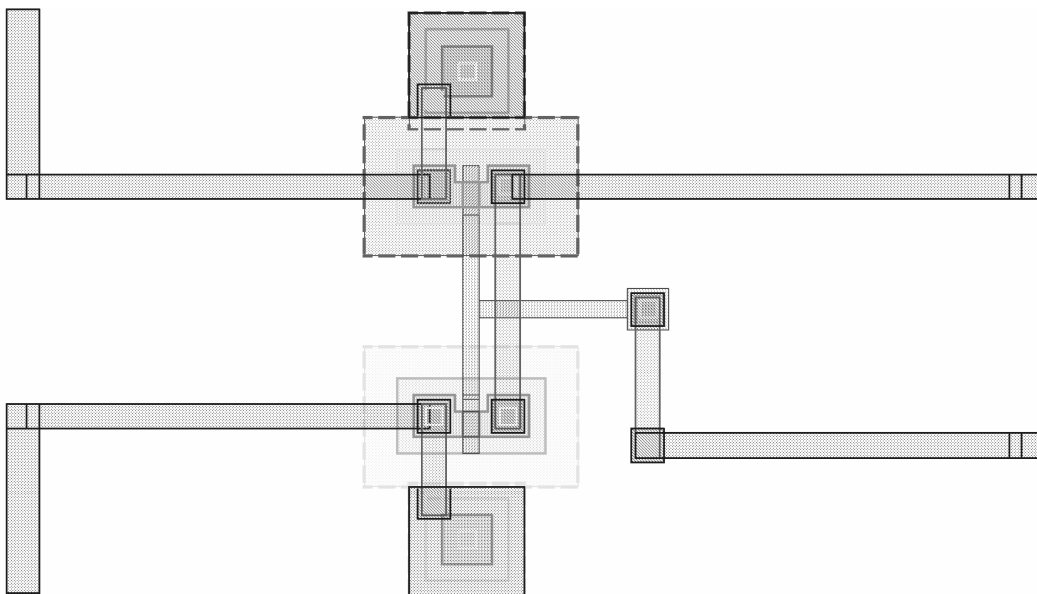


Figura 22 – Leiaute da porta inversora utilizada em vários circuitos

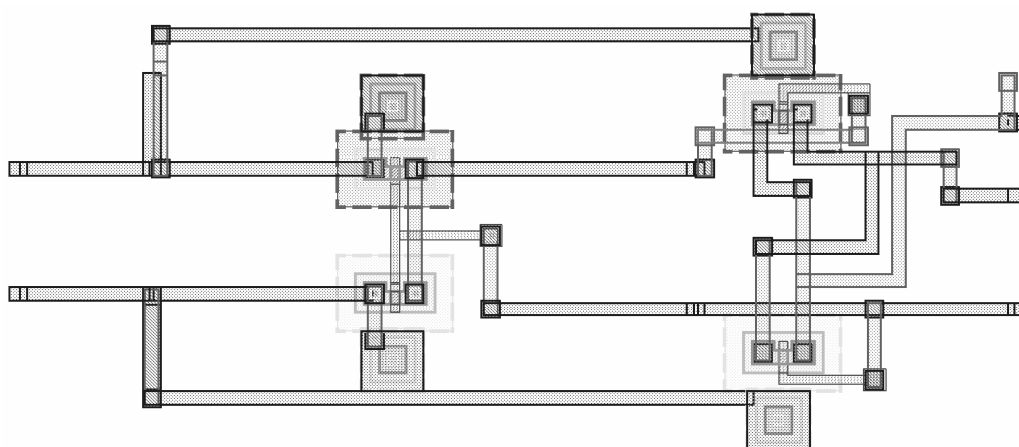


Figura 23 – Leiaute da chave CMOS

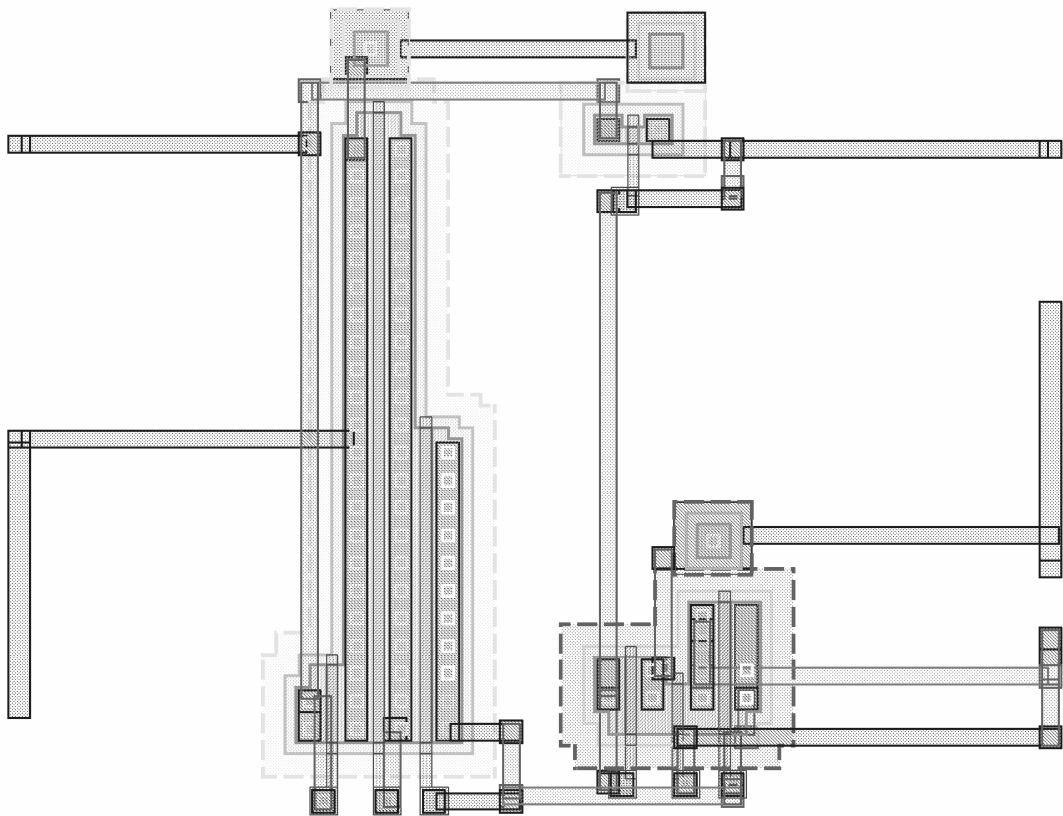


Figura 24 – Leiaute do circuito de polarização do amplificador operacional

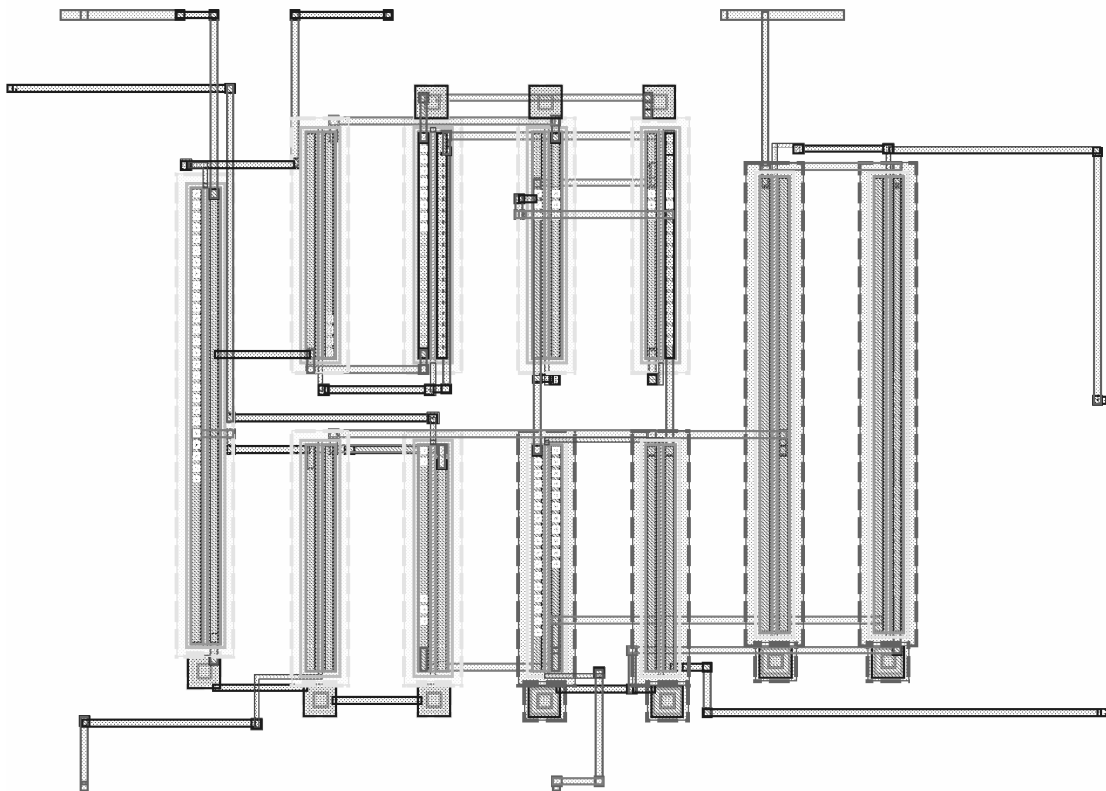


Figura 25 – Leiaute do amplificador operacional

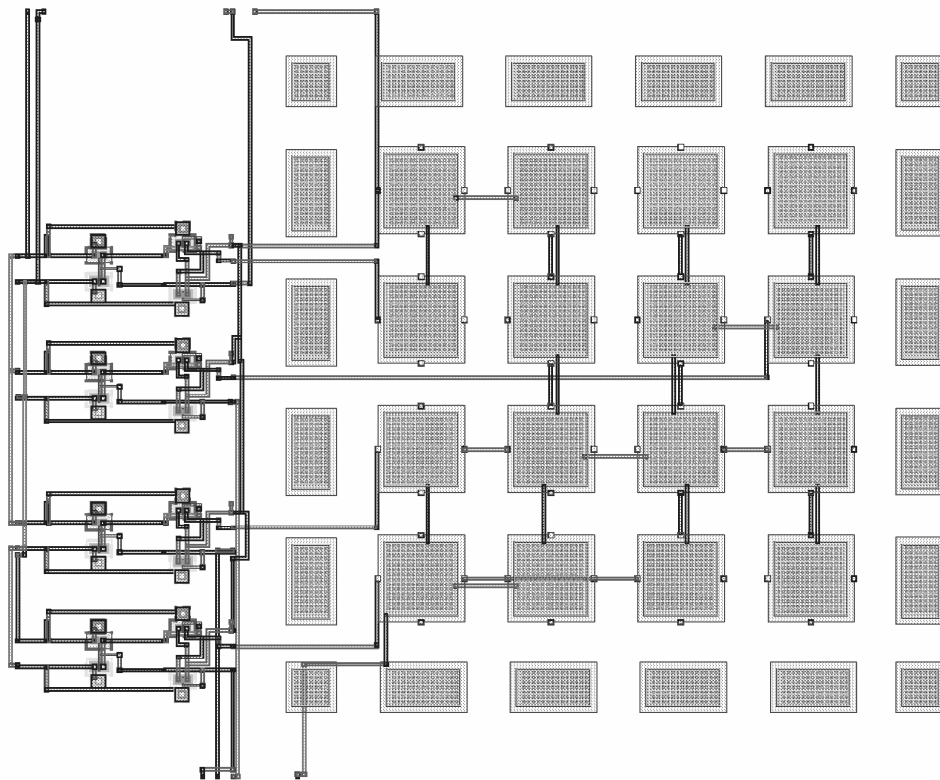


Figura 26 – Leiaute do bloco de capacitores programáveis do primeiro estágio

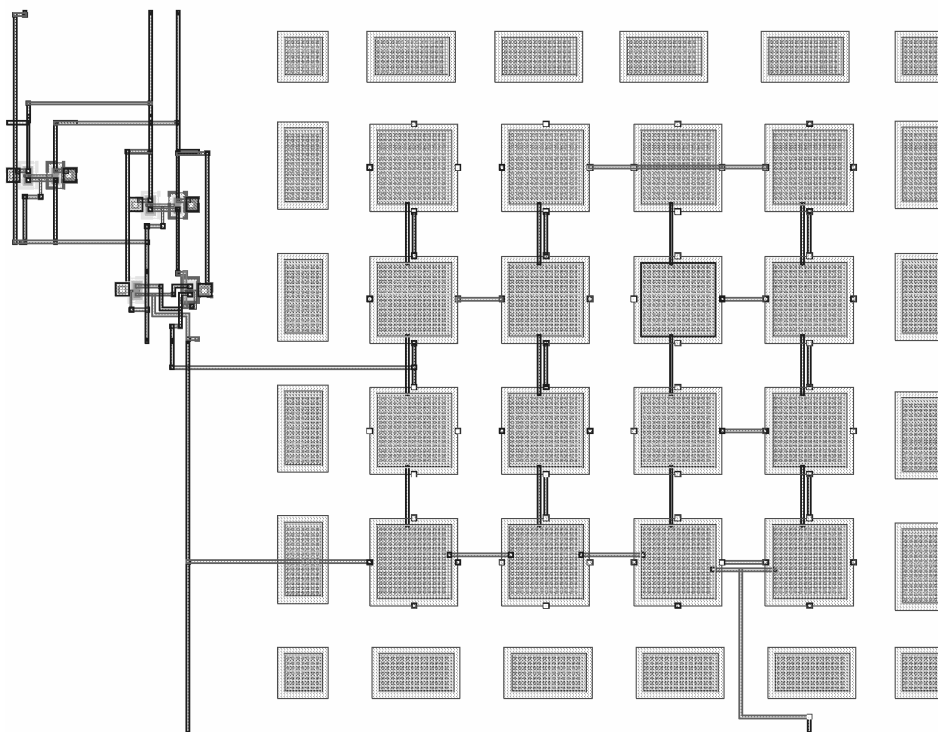


Figura 27 – Leiaute do bloco de capacitores programáveis do segundo estágio

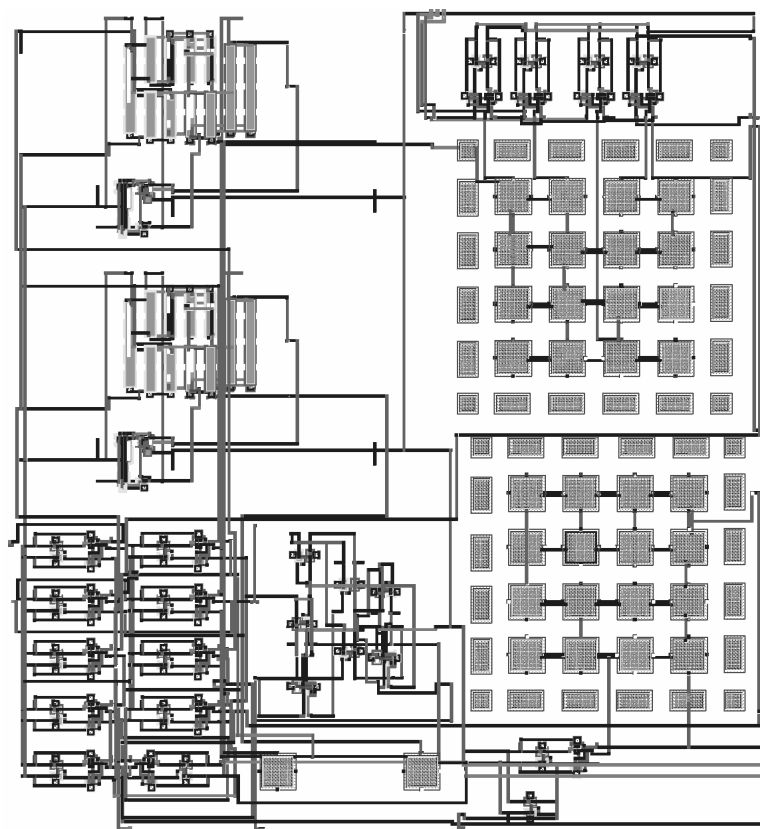


Figura 28 – Leiaute do circuito de condicionamento completo

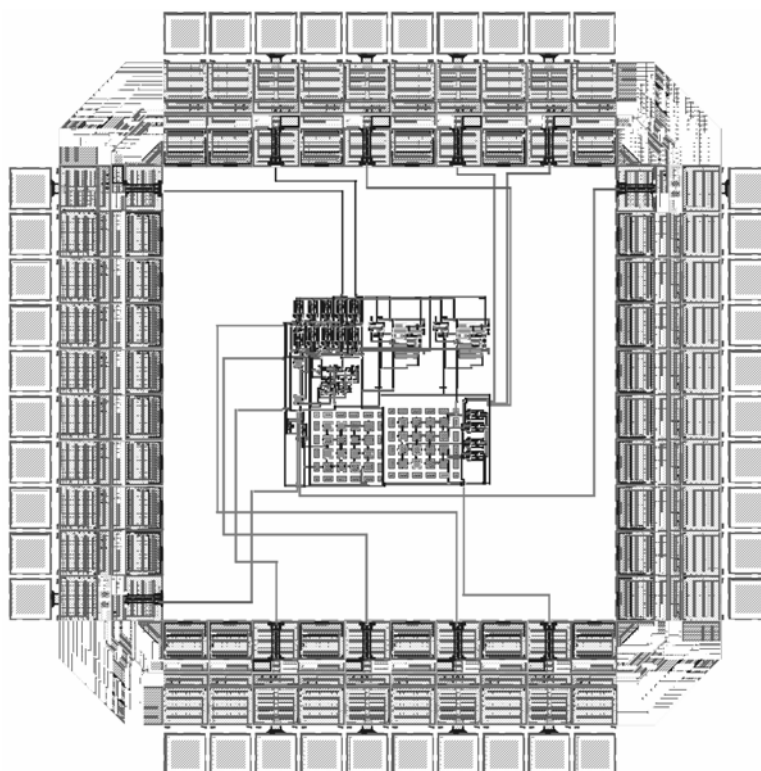


Figura 29 – Leiaute do circuito de condicionamento completo com anel de PADS

Alguns pontos podem ser observados, a partir das simulações do circuito de condicionamento projetado, como o segundo estágio de condicionamento, em que o ganho de 16 só deve ser aplicado quando o sinal de saída do primeiro estágio for no máximo de 100 mV, para que não haja saturação.

Também circuito de programação de ganho com capacitores chaveados, que são montados a partir de um capacitor base, e os demais feitos da associação de capacitores similares ao capacitor base, estes dispostos de maneira simétrica e em volta desde grupo temos capacitores *dummy*, para manter o efeito de *undercut* igual a todos os capacitores.

Capítulo 4

Conclusões e Trabalhos Futuros

4.1 Conclusões

Neste trabalho propomos uma arquitetura de um circuito de condicionamento de sinais analógicos a capacitores chaveados que é apropriado para integração *System-on-Chip*. Esta arquitetura aceita o condicionamento de sinais diferenciais de terminação única, com ajuste de nível cc, incluindo também um modo de calibração.

A estratégia de programação dos ganhos e os valores podem ser determinados seguindo procedimentos que provêem um número mínimo de valores de programação, enquanto garante que não haja perda da faixa de medição e que a perda de resolução da medida esteja abaixo de um valor especificado.

Embora o circuito não tenha sido fabricado, o que seria o ideal para comprovar a sua funcionalidade, os resultados obtidos das simulações mostram que o circuito proposto desempenha bem as funções propostas no projeto.

4.2 Sugestões

O estudo apresentado neste trabalho pode ainda ser bastante explorado, uma vez que, por se tratar de uma arquitetura que pode ser utilizada nas mais variadas aplicações. As principais sugestões de estudo a partir deste trabalho são:

1. Projeto de um circuito de condicionamento auto-programável;

2. Conversor A/D incorporado ao circuito de condicionamento;
3. Uso de amplificadores operacionais *rail-to-rail*;
4. Uso da técnica de correntes chaveadas para o *sample and hold*.

Referências Bibliográficas

- [1] G. A. Lopes. Programação de ganho e deslocamento de nível cc para condicionamento de sinais de medição: Implementação com componentes discretos usando microcontrolador. Dissertação de Mestrado. Universidade Federal do Maranhão. Programa de Pós-Graduação em Engenharia de Eletricidade, São Luis – MA – 2004.
- [2] S. Y. C. Catunda. Considerações sobre circuitos mistos reconfiguráveis para medição. Tese de Doutorado. Universidade Federal da Paraíba. Programa de Pós-Graduação em Engenharia Elétrica, Campina Grande – PB – 2000.
- [3] Cypress. PSoC Mixed-Signal Array Technical Reference Manual (TRM).
- [4] S.Y.C. Catunda, J.-F. Naviner, R.C.S. Freire, G.A.L. Pinheiro. Programmable gain and de level shift analog signal conditioning circuit: Microcontroller based implementation. Instrumentation and Measurement Technology Conference, 2005. IMTC 2005. Proceedings of the IEEE, Volume 3, 16-19 May 2005 Page(s):1857 – 1861.
- [5] S.Y.C. Catunda, J.-F.Naviner, G.S. Deep. R.C.S. Freire. Designing a programmable analog signal conditioning circuit without loss of measurement range. Instrumentation and Measurement, IEEE Transactions on Volume 52, Issue 5, Oct. 2003 Page(s):1482 – 1487.
- [6] D. R. Belfort, S. Y. C. Catunda, and R. C. S. Freire, "Arquitetura de Circuito de Condicionamento Programável de Sinais Analógicos para a Integração System-on-

Chip," in *VII Seminário Internacional de Metrologia - SEMETRO*, Belo Horizonte, MG, 2007

- [7] R. J. Baker, H. W. Li, D. E. Boyce, and Institute of Electrical and Electronics Engineers, *CMOS circuit design, layout, and simulation*. New York: IEEE Press, 1998.

- [8] L.H. Ferreira de Carvalho and T.C. Pimenta. Extraction of MOS parameters from BSIM3v3 model using minimum square method for quick manual design. *IEE Proc. Circuits Devices System*, Vol. 153, No. 2, April 2006.

- [9] Fernando Antônio Pinto Barúqui. *Introdução ao Projeto de Circuitos Integrados Analógicos*. Tutorial. Universidade Federal do Rio de Janeiro. Departamento de Eletrônica - Escola Politécnica. Rio de Janeiro – RJ – 2003.

Apêndice A

Tecnologia MOS

A tecnologia MOS nasceu na sua versão NMOS, durante os anos 60. A tecnologia NMOS teve uma maior dificuldade tecnológica devido à presença de cargas positivas no sistema $\text{SiO}_2\text{-Si}$ (dióxido de silício – silício), causando a indução de canal tipo n na superfície do Si. Como consequência, surge uma dificuldade para isolar os transistores NMOS um do outro. Com o desenvolvimento de processos mais refinados de oxidação do Si para obtenção de filmes de SiO_2 e de tratamentos térmicos apropriados para reduzir cargas e estados de interface, a tecnologia NMOS pôde ser implementada. Durante os anos 70 e início dos anos 80, a tecnologia NMOS era a tecnologia predominante para CI's digitais, devido às seguintes vantagens: maior mobilidade dos elétrons comparado ao das lacunas no caso PMOS; alta densidade de integração, simplicidade do processo de fabricação e consumo reduzido quando comparado a processos bipolares. Nos dias atuais a tecnologia MOS para a concepção de circuitos integrados prevalece sobre as demais superando a bipolar que durante muitos anos foi a tecnologia dominante.

O conceito de tecnologia CMOS foi proposto e demonstrado em 1963 por Wanlass. A porta inversora CMOS é composta por transistores NMOS e PMOS em série. O terminal de entrada é ligado às duas portas, de forma que uma tensão positiva coloca em condução o transistor NMOS e corta o PMOS, produzindo uma tensão zero na saída. Uma tensão zero aplicada ao terminal de entrada produz um efeito complementar, produzindo uma tensão na saída igual à tensão de alimentação, VDD. Devido ao emprego dos dois tipos de transistores complementares, a tecnologia foi chamada de CMOS (MOS complementar). Para tanto se necessita de regiões de “substrato” tipo n e outro tipo p, dependendo do tipo

de lâmina utilizada. Isto é possível pela implantação de uma região delimitada com dopagem de tipo oposto ao do substrato e que é chamado de ilha ou poço.

A.3 Processo de Fabricação MOS

A tecnologia MOS é baseada em um número de etapas bem definidas, para entender o processo de fabricação é necessário compreender cada uma destas etapas. As etapas descritas aqui incluem a oxidação, fotolitografia, implantação iônica, deposição e *etching*.

A.3.1 Lâmina de Silício

Todo o processamento inicia com um simples cristal de silício. Existem dois métodos de crescimento do cristal. O crescimento de muitos materiais é baseado no método desenvolvido por Czochralski em 1971. Um segundo método de crescimento, chamado de zona flutuante, produz cristais de alta pureza e são frequentemente utilizados em dispositivos de potência. Os cristais normalmente crescem seguindo as orientações cristalinas $\langle 100 \rangle$ ou $\langle 111 \rangle$. A orientação cristalográfica pode influir principalmente na taxa de oxidação do substrato e na densidade de defeitos no óxido de Si crescido sobre a lâmina, que originam centros de armadilhamento de cargas no isolante. Estas cargas podem responder de forma indesejável ao campo elétrico aplicado ao dispositivo, reduzindo seu desempenho. Óxidos crescidos sobre lâminas com orientação $\langle 100 \rangle$ apresentam menos defeitos que os crescidos sobre substratos com orientação $\langle 111 \rangle$. Os cristais resultantes são cilíndricos e tem diâmetro de 75 a 300 milímetros e um comprimento próximo de um metro. O cilindro é fatiado em *wafers* que tem aproximadamente de 0.5 a 0.7 milímetros de espessura. A espessura é determinada primariamente pelos esforços físicos requeridos. Quando o cristal é crescido, ele é dopado com impurezas do tipo n (Fósforo) ou do tipo p (Boro) para formar um substrato n ou p.

A.3.2 Limpeza RCA

Em situações que não é possível ter todo o processo automatizado em salas com alto nível de pureza, ou que de alguma forma as lâminas tiveram contato com um ambiente contaminado com partículas presentes no ar, a limpeza das lâminas de silício, é fundamental para o processo de microfabricação, para garantir uma limpeza eficaz com a

menor quantidade possível de impurezas. Para a limpeza das lâminas, segue-se um processo padrão criado pela RCA de mesmo nome, que consiste em uma seqüência de etapas, onde as lâminas são mergulhadas em soluções, como segue abaixo.

H_2SO_4 / H_2O_2 (4:1) a 80°C por 10 minutos: também conhecida como solução “piranha”, utiliza-se para remover principalmente quantidades de gordura presentes na superfície das lâminas de silício;

HF / H_2O (1:10) à temperatura ambiente por 10 s: nesta etapa de limpeza remove-se o óxido de silício (SiO_2) nativo na superfície do silício.

NH_4OH / H_2O_2 (1:1:5) a 80°C por 10 minutos: nesta etapa, removem-se a gordura e os metais do grupo IB IIIB;

$HCl / H_2O_2 / H_2O$ (1:1:5) a 80°C por 10 minutos: nesta etapa, dissolvem-se os íons alcalinos e hidróxidos de Fe^{+3} , Al^{+3} e Mg^{+3} das superfícies dos substratos.

Entre as soluções, as lâminas são submetidas a um enxágüe com água DI (deionizada) 18 M Ω .cm por 3 minutos. A secagem destas lâminas é feita com jato de nitrogênio.

Oxidação

A oxidação é o processo através do qual uma camada de dióxido de silício é formada sobre a superfície da lâmina e que isola os dispositivos, é realizada colocando as lâminas de Si no forno térmico convencional com alta temperatura, cerca de 1000 °C e em ambiente de H_2O e de O_2 .

A espessura do óxido de silício, designada por t_{ox} , pode ser aumentada usando qualquer das técnicas secas ou úmidas, com baixa densidade de formação de defeitos. Tipicamente a espessura do óxido varia de pouco menos de 150 Å para o óxido de porta a pouco mais de 10000 Å para o óxido de campo.

A.3.3 Fotolitografia

Todos os circuitos integrados consistem de várias camadas sobrepostas para formar o dispositivo ou componente. Cada camada deve ser fisicamente definida e isso pode ser feito desenhando as camadas em uma escala maior e depois reduzidas, através de processo ótico (utilizando projeção) para o tamanho desejado, produzindo o conjunto de máscaras para o processo de fabricação. O processo de exposição seletiva de áreas da lâmina à luz ultravioleta através das máscaras é chamado de impressão e podem ser por contato, proximidade ou por projeção.

A fotolitografia é o processo de transferência de uma máscara para o substrato onde é fabricado o chip. Em uma sala limpa e com baixa umidade, aplica-se o promotor de aderência e em seguida utiliza-se um *spinner* em alta velocidade de rotação que por centrifugação espalha sobre a camada do óxido uma resina fotoresistiva, que é um líquido orgânico polimérico, denominado fotorresiste. Este resiste é colocado em uma estufa em temperatura de aproximadamente 100°C para secar e pode ser positivo ou negativo, dependendo da sua reação a luz ultravioleta. O fotorresiste positivo é utilizado para criar padrões que estão na máscara e o negativo para os padrões que não estão.

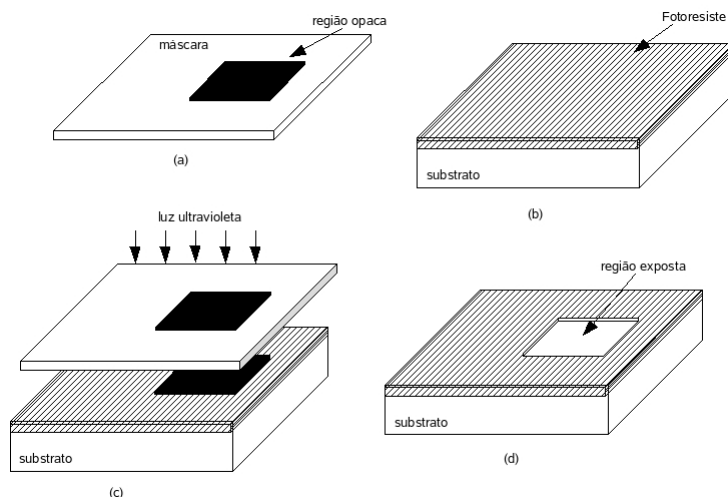


Figura A1 – (a) máscara usada na litografia, (b) lâmina coberta com fotoresiste, (c) exposição seletiva a luz ultravioleta, (d) região exposta depois do *etching*.

Usando o fotoresiste, executa-se a despolimerização por luz ultravioleta que passa através das aberturas da máscara que contem o padrão a ser transferido ao substrato. A parte opaca da máscara evita a exposição à luz ultravioleta das regiões do substrato que

serão posteriormente processadas como mostrado na Figura A1. Para remover a parte do resisto despolimerizada, utiliza-se o solvente revelador ou por plasma. Este processo de ser refeito para todas as camadas do circuito integrado.

A.3.4 Implantação Iônica

A implantação iônica é o processo em que íons de um dopante (Fósforo ou Boro) são acelerados por um campo elétrico a uma alta velocidade e fisicamente lançados contra o material semiconductor, sendo largamente usada na fabricação de componentes MOS. A profundidade média de penetração varia de 0.1 a 0.6 μm dependendo da velocidade de do ângulo com que os íons se chocam com a lâmina. A implantação iônica é um processo que danifica a estrutura cristalina do semiconductor o que torna necessário o recozimento para a ativação dos dopantes implantados e reconstrução da estrutura cristalina feita em torno de 800°C. Uma vantagem da implantação iônica é a precisão no controle da dopagem com cerca de 5%. Tornando possível o ajuste da tensão de limiar dos dispositivos MOS ou para criar resistores mais precisos. Uma outra vantagem é que é um processo à temperatura ambiente, exceto pelo recozimento necessário para reconstrução da estrutura cristalina.

A.3.5 Deposição

Deposição é o processo pelo qual filmes finos de vários materiais podem ser depositados sobre a lâmina de silício. Estes filmes podem ser depositados usando as mais variadas técnicas, incluindo a deposição por evaporação, *sputtering* e deposição química de vapor (CVD - *Chemical-Vapor Deposition*). Na deposição por evaporação, um material sólido é colocado no vácuo e aquecido até evaporar. As moléculas evaporadas colidem com a lâmina relativamente fria e condensam em um filme sólido sobre a lâmina. A espessura do material depositado é determinada pela temperatura e pela quantidade de tempo. A técnica do *sputtering* usa íons positivos para bombardear o catodo, que é revestido com o material a ser depositado. O material bombardeado é desalojado e depositado na lâmina que está colocada no anodo. Os tipos de sistemas *sputtering* utilizados para deposição em circuitos integrados e são geralmente feitos no vácuo. A deposição química de vapor usa um processo em que um filme é depositado por reação química ou reação pirolítica na fase gasosa, que ocorre na vizinhança da lâmina de silício. Este processo é geralmente usando para deposição de polisilício, dióxido de silício ou nitreto de silício. A deposição química de vapor é geralmente feita a pressão atmosférica,

mas pode ser feita a baixas pressões onde a difusividade aumenta significativamente e é chamada de deposição química de vapor a baixa pressão (LPCVD – *Low-Pressure Chemical-Vapor Deposition*).

A.3.6 Etching

Etching é o processo de remoção do material nas áreas expostas, sendo estas áreas definidas no processo fotolitográfico. O *etching* deve ter duas importantes propriedades que são a seletividade e a anisotropia. A seletividade é a característica do *etch* em que somente a camada desejada é removida sem qualquer efeito sobre a camada protegida ou as subcamadas. A seletividade pode ser representada como a razão entre a taxa de remoção da camada desejada pela taxa de remoção da camada protegida.

$$S = \frac{\text{Taxa de remoção da camada desejada}}{\text{Taxa de remoção da camada protegida}} \quad (\text{A1})$$

A Anisotropia é a propriedade do *etch* de se propagar em uma única direção. O grau de anisotropia pode ser quantificado pela relação abaixo.

$$A = 1 - \frac{\text{Taxa de etching lateral}}{\text{Taxa de etching vertical}} \quad (\text{A2})$$

Na realidade nem a seletividade, nem a anisotropia são realizados com perfeição, resultando em efeitos como o *undercutting* e *underetching* que é uma remoção parcial das subcamadas como é mostrado na Figura A2. Os materiais normalmente corroídos por *etching* são polisilício, dióxido de silício, nitreto de silício e o alumínio.

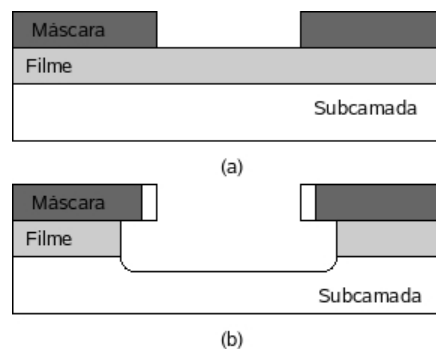


Figura A2 – (a) lâmina pronta para o *etching*. (b) resultado do *etching*

Existem dois tipos básicos de *etching*. O *etching* úmido usa reações químicas para remover o material exposto, em que o ácido hidrofúorídrico (*HF*) é usado para corroer o dióxido de silício; ácido fosfórico para remover o nitreto de silício; ácido nítrico, ácido acético ou ácido hidrofúorídrico é usado para remover o polisilício; hidróxido de potássio é usado para remover o silício; e uma mistura de ácido fosfórico para remover metal. A técnica de *etching* úmido é fortemente dependente do tempo e da temperatura de exposição e devem ser manipulados com cuidado, já que os ácidos usados no *etching* úmido representam perigo em potencial. O *etching* seco ou plasma *etching* usa gases ionizados que são ativados por um gerador de RF de plasma. Este processo requer uma série de caracterizações para aperfeiçoar pressão, taxa do fluxo de gás, mistura de gases e gerador RF. O *etching* seco é muito semelhante ao *sputtering* e por isso alguns equipamentos podem ser utilizados. Corrosão por íon reativo (RIE) induz a corrosão por plasma acompanhando de bombardeamento iônico.

A.4 O Transistor MOS

Aqui é descrito de forma resumida o comportamento do transistor MOS. Na tecnologia MOS complementar (CMOS), tanto transistores NMOS quanto PMOS estão disponíveis no mesmo substrato e por essa razão um dos dois tipos é colocado em um “substrato local”, chamado de poço. A Figura A3 mostra uma estrutura simplificada de um dispositivo MOS tipo n (NMOS). Fabricado em um substrato tipo p, o dispositivo consiste de duas regiões tipo n fortemente dopadas formando os terminais de fonte e dreno e uma peça de polisilício também fortemente dopada operando como porta, e uma fina camada de dióxido de silício isolando a porta do substrato.

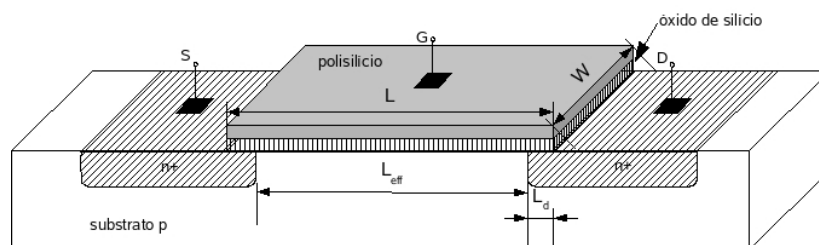


Figura A3 – Estrutura simplificada de um NMOS

O acionamento do dispositivo ocorre na região do substrato abaixo do óxido de porta. A dimensão da porta ao longo do caminho fonte-dreno é chamado de comprimento,

L , e perpendicular ao comprimento é chamado de largura, W . Durante o processo de fabricação as junções de fonte e dreno difundem lateralmente, e a distância real entre fonte e dreno é ligeiramente menor que L . Aqui chamaremos de o comprimento efetivo do canal, L de comprimento total e L_d a quantidade difundida lateralmente, podemos dizer então que $L_{eff} = L - 2L_d$. Para evitar qualquer confusão, chamaremos, a partir deste ponto, o comprimento efetivo simplesmente de L .

Ao se aplicar uma tensão entre a porta e o substrato, é criado um campo elétrico, que no caso do NMOS, repele da superfície os portadores majoritário (lacunas) e atrai os portadores minoritários (elétrons). Isso causa, a partir de certo valor de tensão (tensão de limiar, V_{th}), a formação uma fina camada de elétrons (canal). Quando o canal é formado e é aplicada uma tensão entre dreno e fonte (V_{ds}), os portadores fluem da fonte para o dreno através deste. A tensão de limiar de um transistor pode ser expressa como

$$V_{TH} = \varphi_{MS} + 2\varphi_F + \frac{Q_{dep}}{C_{ox}} \quad (A3)$$

onde φ_{MS} é a diferença da função de trabalho entre o polisilício da porta e o silício do substrato, $\varphi_F = (kT/q)\ln\left(\frac{N_{sub}}{n_i}\right)$, q é a carga do elétron, N_{sub} é a concentração de dopagem do substrato, Q_{dep} é a carga na região de depleção e C_{ox} é a capacitância do óxido de porta por unidade de área. Da teoria da junção pn , temos que $Q_{dep} = \sqrt{4q\varepsilon_{si}|\varphi_F|N_{sub}}$, onde ε_{si} representa a constante dielétrica do silício. Como C_{ox} aparece com muita frequência em dispositivos e nos cálculos de circuitos, é útil salientar que para $t_{ox} \approx 50\text{\AA}$, $C_{ox} \approx 6.9\text{fF}/\mu\text{m}^2$. O valor de C_{ox} pode ser medido proporcionalmente para outra espessura de óxido, uma vez que a capacitância de óxido é inversamente proporcional a espessura.

Na prática, o valor da tensão de limiar obtido a partir da Equação A3 pode não servir para o projeto de circuitos, por exemplo, $V_{th} = 0$ e o dispositivo não está desligado para $V_g \geq 0$. Por esta razão, a tensão de limiar é ajustada pela implantação de dopantes na

área do canal, durante a fabricação dos dispositivos, alterando o nível de dopagem do substrato próximo ao óxido.

Quando um canal é formado entre fonte e dreno, uma corrente de dreno I_d flui através do canal se existir uma tensão V_{ds} . A dependência desta corrente de dreno com os terminais do transistor MOS pode ser desenvolvida considerando as características de um aumento infinitesimal dy no comprimento do canal (Figura A4).

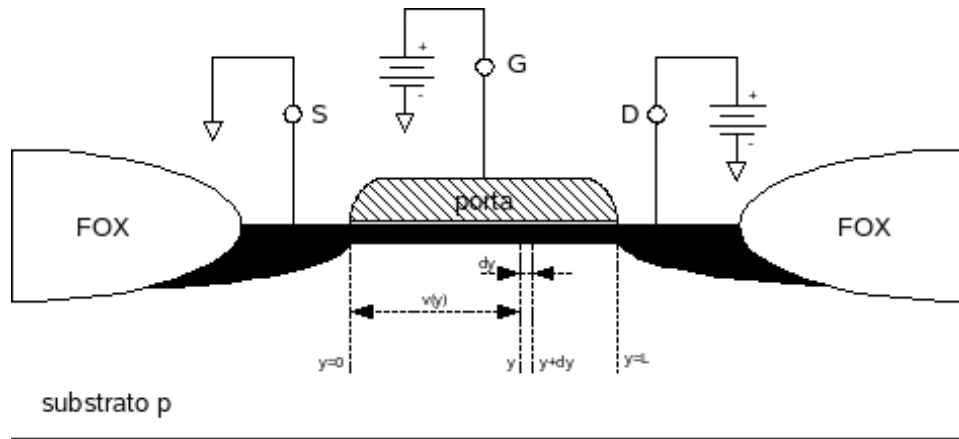


Figura A4 – Seção transversal de um transistor NMOS, com pequeno

$$V_{ds} \text{ e } V_{gs} > V_{th} .$$

Considerando que a largura do transistor MOS é W e que V_{ds} é pequeno. A carga por unidade de área no canal, $Q_l(y)$, pode ser expressa como

$$Q_l(y) = C_{ox} [V_{gs} - v(y) - V_{th}] . \quad (A4)$$

a resistência no canal por unidade de comprimento dy pode ser escrito como

$$dR = \frac{dy}{\mu_n Q_l(y) W} \quad (A5)$$

onde μ_n é a mobilidade média dos elétrons no canal. A tensão em relação à fonte, ao longo do canal na direção y é.

$$dv(y) = i_D dR = i_D \frac{dy}{\mu_n} Q_l(y) W \quad (A6)$$

ou

$$i_D dy = W \mu_n \mu_l(y) dv(y). \quad (\text{A7})$$

Integrando ao longo do canal de $y = 0$ a $y = L$, temos

$$\int i_D dy = \int W \mu_n Q_l(y) dv(y) = \int W \mu_n C_{ox} [V_{gs} - v(y) - V_{th}] dv(y). \quad (\text{A8})$$

Resolvendo a integral encontramos a expressão desejada para i_D como

$$i_D = \frac{\mu C_{ox} W}{L} \left[(V_{gs} - V_{th})v(y) - v \frac{(y)^2}{2} \right]_0^{V_{ds}} \quad (\text{A9})$$

$$i_D = \frac{\mu C_{ox} W}{L} \left[(V_{gs} - V_{th})V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (\text{A10})$$

a Equação A10 é válida somente quando $V_{gs} \geq V_{th}$ e $V_{ds} \leq (V_{gs} - V_{th})$ e para valores de L maiores que o L mínimo. O fator $\mu_n C_{ox}$ é freqüentemente definido como parâmetro de transcondutância do dispositivo, dado por

$$K' = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}}. \quad (\text{A11})$$

A.5 Componentes Passivos

Nesta seção serão examinados os componentes passivos compatíveis com os passos usados para construir um dispositivo MOS. Estes componentes passivos incluem o capacitor e o resistor.

Um capacitor é freqüentemente requisitado em projeto de circuitos integrados analógicos e é desejável que tenha uma série de características, como alta capacitância por unidade de área, baixa dependência da temperatura e boa precisão.

Para tais processos há basicamente três tipos de capacitores. Um tipo chamado de capacitor MOS, é formado usando uma das camadas interconectadas disponíveis (metal

ou polisilício) acima do silício cristalino separado por um dielétrico (camada de óxido de silício) Figura A5(a). O segundo tipo é formado por uma camada adicional de polisilício acima do polisilício de porta separado por um dielétrico formado com uma camada fina de dióxido Figura A5(b). O terceiro tipo de capacitor é construído colocando um poço n abaixo do transistor NMOS é semelhante ao transistor da Figura A5(a), exceto por haver uma placa abaixo (o poço n), tem uma resistividade muito alta e por isso não é utilizado em circuitos onde o coeficiente de baixa tensão é importante, Figura A5(c). É frequentemente usado quando um terminal do capacitor é conectado ao terra (ou V_{SS}) também fornece uma capacitância muito alta por unidade de área e está disponível em todo processo CMOS por não requerer passos ou máscaras próprias.

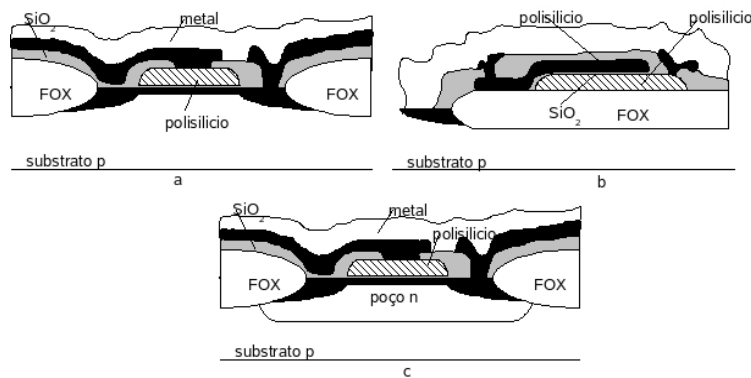


Figura A5 - Capacitores MOS

O outro componente passivo compatível com a tecnologia MOS é o resistor. De maneira semelhante ao capacitor, em algumas aplicações, como conversores digital analógico, usam resistores. Os resistores compatíveis com a tecnologia MOS vistos aqui, incluem os resistores difundido, o de polisilício e o poço n (ou poço p). Não é muito comum, mas há também resistores feitos com metal.

Um resistor difundido é formado usando a difusão fonte/dreno. A resistência de folha de um resistor em um processo não “salicide”² é na faixa de 50-150 Ω/\square (ohm por quadrado). Para o processo “salicide”, estes resistores estão na faixa de 5-15 Ω/\square . O resistor de polisilício é cercado por uma fina camada de óxido e tem uma resistência de folha na faixa de 30-200 Ω/\square , dependendo do nível dopagem. Um resistor poço n, é feito

2 O termo “salicide” é a abreviação de *self-aligned silicide* (siliceto auto alinhado). O auto alinhado propõe que os contatos não requerem um processo litográfico padrão [Erro! Fonte de referência não encontrada.].

acima de uma tira de poço n e são conectados pelas difusões de fonte e dreno. Este tipo de resistor tem uma resistência de $1-10 \text{ k}\Omega/\square$, é usado em casos onde não é requerida uma alta precisão nos resistores ou quando é necessário resistores de proteção.

Outros tipos de resistores são possíveis alterando o processo. Estes três tipos apresentados acima representam os mais comumente aplicados com tecnologia MOS padrão e são mostrados na Figura A6.

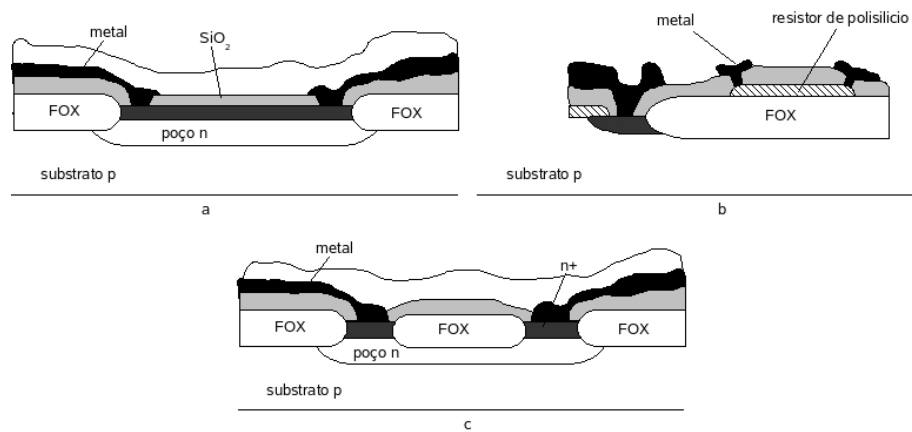


Figura A6 - Resistores: (a) difuso, (b) polisilício, (c) poço n.

A.6 Modelo do transistor

Para análise do comportamento do circuito é necessário um modelo que represente o comportamento do dispositivo, para dispositivos de canal longo, a versão mais simples do Spice (ou “nível 1”) funciona bem, porém para dispositivos de canal curto, e especialmente para aqueles com $L < 1\mu\text{m}$, muitos efeitos físicos que não eram considerados, passam a ser importantes dessa forma modelos simples ou de primeira ordem, não mais representam precisamente a operação do dispositivo. Modelos mais elaborados e mais complexos são necessários a fim de sermos capazes de prever o desempenho de um circuito com certo grau de precisão. Com o desenvolvimento da tecnologia, os modelos “nível 2” e “nível 3” são introduzidos para incluir os efeitos ligados às dimensões cada vez menores dos transistores MOS. Estes dois últimos modelos têm um embasamento físico, porém utilizam uma abordagem regional, onde as diferentes regiões de operação são representadas por diferentes equações. Na transição entre regiões, erros importantes e/ou descontinuidades aparecem prejudicando a convergência do simulador.

Tentando corrigir as deficiências destes modelos, um grupo da Universidade de Berkeley apresenta os modelos da família BSIM a partir de 1987. Estes modelos são desenvolvidos específica e exclusivamente para o simulador SPICE. Uma consequência do trabalho de modificação empírica dos modelos é o aumento da complexidade dos mesmos. O BSIM3 é modelo Spice baseado na física do dispositivo para simulação de circuitos e desenvolvimento de tecnologia CMOS. É desenvolvido pelo BSIM *Research Group* no Departamento de Engenharia Elétrica e Ciência da Computação da Universidade da Califórnia, Berkeley. A terceira versão do BSIM3, BSIM3 versão 3 (Comumente abreviado como BSIM3v3), foi estabelecido pela SEMATECH³ como o primeiro padrão industrial desde dezembro de 1996. BSIM3v3 foi usado desde então pela maioria das companhias de semicondutores para modelar dispositivos em projeto de circuitos integrados CMOS submícron.

Nos final dos anos 80 apareceram duas novas abordagens na modelagem do MOSFET: o modelo de carga de Maher e Mead, em 1987, e o modelo semi-empírico de Enz, Krummenacher e Vittoz (EKV), em 1989.

O modelo de carga tem embasamento físico e utiliza expressões únicas e simples para as características do MOSFET, garantindo a continuidade do modelo. O inconveniente da formulação original de Maher e Mead é a falta de uma expressão explícita para a densidade de carga em função dos potenciais aplicados.

O modelo EKV preserva propriedades essenciais do transistor como a simetria entre fonte e dreno e a continuidade das características. Sua principal deficiência é a falta de expressões para as cargas no transistor, o que impede seu uso na simulação transiente de circuitos a capacitores chaveados e a correntes chaveadas.

Em 96 foi proposto um novo modelo chamado ACM (“*Advanced Compact MOSFET model*”) que é fundamentado em princípios físicos básicos e que satisfaz as propriedades como expressões únicas e contínuas para todas as características do dispositivo, respeita a simetria estrutural entre fonte e dreno e deve ter a propriedade básica

3 SEMATECH (*SEmiconductor MANufacturing TEChnology*) é um consorcio sem fins lucrativos que trabalha na pesquisa de produção de semicondutores. Tem várias empresas membro, sendo elas a AMD, Freescale, HP, IBM, Infineon, Intel, Micron, NEC, Panasonic, NXP, Renesas, Samsung, Spansion, Texas e TSMC.

de conservação da carga. Ele é um modelo de carga, baseado na mesma aproximação básica proposta por Maher e Mead, além de preservar a simetria do transistor como o modelo EKV. O uso de uma única aproximação básica garante a auto-consistência do modelo. O emprego da carga de inversão como variável chave permite um equacionamento compacto independente da região de operação do transistor. Na Figura A7, há um comparação do número de parâmetros entre vários modelos com o passar dos anos.

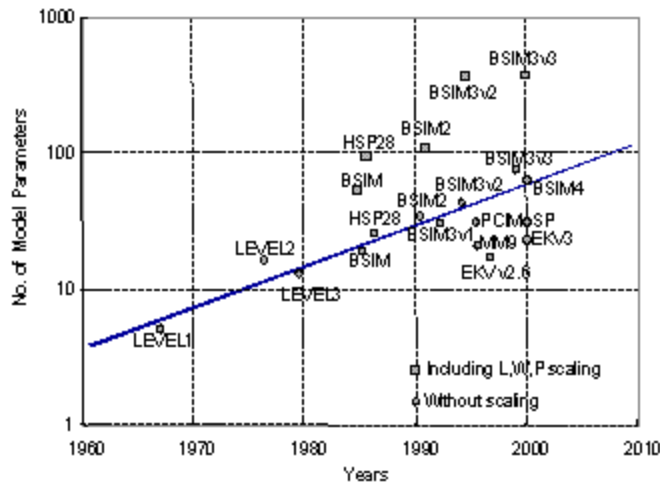


Figura A7 – Evolução do número de parâmetros dos modelos com o passar dos anos (EKV).

A.7 Avanços da tecnologia MOS

Em 1965, Gordon Moore descreveu o crescimento exponencial do número de transistores por circuito integrado e previu que essa tendência continuaria, conhecida como lei de Moore esta declara que o número de transistores nos circuitos integrados dobra a cada 24 meses aproximadamente, resultando mais desempenho com menos custo.

Com o dimensionamento das geometrias dos transistores até onde os materiais dielétricos tradicionais de porta de dióxido de silício tenham uma espessura de algumas camadas de átomos apenas, tunelar o atual vazamento e o conseqüente aumento na dissipação de energia e no aquecimento são questões críticas.

Por três décadas, o SiO₂ formou o material dielétrico de porta perfeito, dimensionando com êxito a partir da espessura de 1.000 Å (100 nm) 30 anos atrás, até meros 12 Å (1,2 nm) no nó de processos de 90 nm dos dias atuais. Isso representa uma

camada de apenas quatro átomos de espessura. O problema é que a camada de óxido ficou mais fina, a taxa de fuga na porta por tunelamento aumentou.

O estudo de materiais denominados "alto-K" para substituir o SiO_2 como o dielétrico de porta. Para solucionar os problemas de compatibilidade com esse novo material dielétrico de alto-k também era necessário descobrir novos metais para substituir o tradicional eletrodo porta de silício policristalino usado nos transistores do NMOS e PMOS.

A fuga atual favorece a perda de energia e o aquecimento. Embora os transistores com o óxido de porta de 0.8 nm ainda apresentem as características previstas do dispositivo, a essa altura o material dielétrico afinou tanto, que ficamos literalmente sem átomos para os próximos dimensionamento. Para resolver o problema de dimensionamento, têm sido proposto novas técnicas, como o silício tencionado e o transistor de três porta.

O silício tencionado, o qual estica ou comprime o padrão tipo grade que os átomos de silício formam naturalmente, assim os elétrons podem fluir mais rapidamente com menos resistência.

O transistor com 3 portas proposto pela Intel na verdade triplica o espaço disponível que os sinais elétricos percorrem, sem utilizar mais espaço que um transistor planar. Devido a sua estrutura, o design não oferece apenas maior desempenho, como também reduz o vazamento atual em comparação com os transistores planares. A Intel já realizou o protótipo do transistor com 3 portas com comprimentos de porta de 30 nm.

Apêndice B

Amplificador Operacional

O amplificador operacional (ampop) é um bloco fundamental no projeto de circuitos analógicos. O primeiro estágio de um ampop é um amplificador diferencial, seguido de um outro estágio de ganho e finalmente um buffer de saída. Se a função do ampop pretendido é alimentar pequenas cargas puramente capacitivas, como é o caso de muitas aplicações com capacitores chaveados ou conversão de dados, o buffer de saída não é usado e se tem uma alta impedância de saída (amplificador operacional de transcondutância ou OTA), mas se é pretendido para alimentar cargas resistivas ou grandes cargas capacitivas (ou uma combinação de ambos), o buffer de saída é usado responsável pela baixa impedância de saída.

B.8 Ampop Ideal

Idealmente um ampop deve ter ganho de tensão infinito, resistência de entrada infinita e zero de resistência de saída. Na realidade, um ampop somente se aproxima desses valores. Para maioria das aplicações quando utilizamos ampop CMOS sem buffer, um ganho de malha aberta de 2000 ou mais é suficiente. Para o caso não ideal, a tensão de saída v_{out} pode ser expressa como mostrada na Equação B1.

$$v_{out} = A_v(v_1 - v_2) \quad (B1)$$

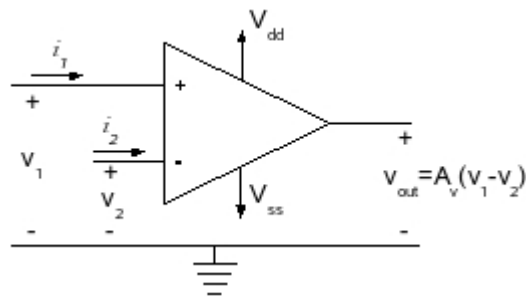


Figura B1 - Símbolo de um amplificador operacional

A_v é usado para designar o ganho de tensão em malha aberta. v_1 e v_2 são as tensões de entrada aplicadas aos terminais não-inversor e inversor, respectivamente. . O símbolo do ampop é mostrado na Figura B1, verifique que esta também mostra as conexões de alimentação V_{dd} e V_{ss} .

Algumas outras características não ideais são ilustradas na Figura A2. A impedância de entrada diferencial finita é modelada por R_{id} e C_{id} . A impedância de saída é modelado por R_{out} . As resistências de entrada em modo comum são dadas pelos resistores R_{icm} conectados entre cada uma das entradas e o terra. V_{os} é a tensão *offset* de entrada necessário para fazer a tensão de saída igual à zero, quando ambas as entradas estiverem aterradas. A taxa de rejeição de modo comum (CMRR) é modelada por uma fonte de tensão controlada por tensão indicada por $v_1 / CMRR$ que modela os efeitos do sinal de entrada em modo comum. As duas fontes designadas como e_n^2 e i_n^2 são usados para modelar o ruído do ampop.

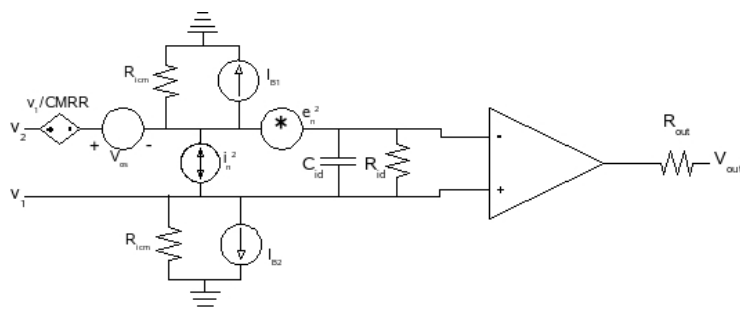


Figura B2 - Modelo para o ampop não ideal

Nem todas as características não ideais do ampop são mostrados na Figura B2, algumas outras características pertinentes do ampop não foram definidas.

B.9 Amplificador Operacional de Transcondutância

Da teoria de amplificadores realimentados, tem-se para o ganho

$$A_v(s) = \frac{V_{out}}{V_{in}} = A \frac{(s)}{1 + \beta A(s)} \quad (B2)$$

onde β é a taxa de realimentação e $A(s)$ o ganho em malha aberta.

Do ponto de vista da estabilidade, o pior caso ocorre quando $\beta = 1$, pois é a condição de menor margem de fase. Isto obriga os ampops a serem compensados internamente, para garantir estabilidade. Este procedimento é problemático, uma vez que o capacitor de compensação é grande, ocupando área de integração.

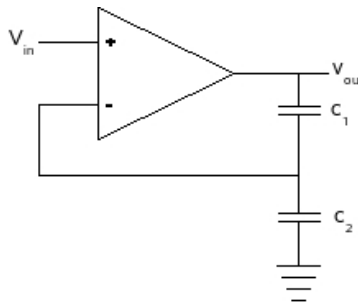


Figura B3 - Amplificador operacional com carga capacitiva

Nos circuitos a capacitores chaveados, este problema é ainda mais grave, pois a carga e a malha de realimentação são capacitivas. O ganho realimentado é dado pela Equação B3, onde $\beta = C_1 / (C_1 + C_2)$, logo sendo o equivalente série dos capacitores na Figura B3 dado por $C_L = (C_1 C_2) / (C_1 + C_2)$ e sendo R_{out} a impedância de saída, o ganho realimentado é dado por

$$A_v = \frac{\frac{A(s)}{sC_L R_{out} + 1}}{1 + \frac{\beta A(s)}{sC_L R_{out} + 1}} \quad (B3)$$

podemos observar que a impedância de saída e a carga capacitiva introduzem um pólo $p = 1/R_{out}C_L$.

Uma pratica usual nos circuitos a capacitores chaveados é utilizar amplificadores operacionais de transcondutância (OTA). O OTA é basicamente uma fonte de corrente controlada por tensão em paralelo com uma resistência elevada (Figura B4).

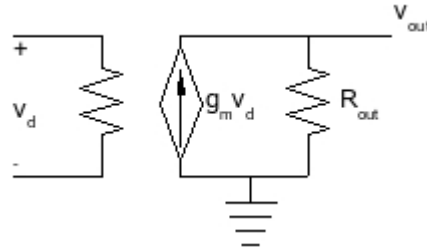


Figura B4 - Modelo linear do OTA

O ganho de tensão do OTA é dado por

$$A_v = \frac{\frac{gm(s)R_{out}}{sC_L R_{out} + 1}}{1 + \frac{\beta gm(s)R_{out}}{sC_L R_{out} + 1}} \quad (B4)$$

A transcondutância $gm(s)$ possui pólos em altas freqüências, e o termo $1/(sC_L R_{out} + 1)$ representa um pólo em baixa freqüência, pois R_{out} é muito grande e pode ser dimensionado para ser dominante, mantendo o amplificador estável com realimentação unitária. Esta característica é de extrema importância, pois, na maioria das aplicações, não é necessário compensar o OTA internamente, já que a carga C_L implementa o pólo dominante. Basicamente os OTAs são divididos em duas classes, os de saída simples e os totalmente diferenciais.

O amplificador operacional de transcondutância pode ser ainda definido como um amplificador, onde todos os nós são de baixa impedância exceto os nós de entrada e de saída. Um exemplo de um OTA é mostrado na Figura B5. Assumindo que $W_1/L_1 = W_2/L_2, W_{31}/L_{31} = W_{41}/L_{41}$, podemos observar que a corrente i_{d31} ou i_{d41} é dado por

$$-i_{d31} = i_{d41} = \frac{g_{m1}}{2}(v_{i1} - v_{i2}) = i_d \quad (\text{B5})$$

além disso, se $W_4/L_4 = K.W_{41}/L_{41} = K.W_{31}/L_{31} = K.W_3/L_3$ e $W_5/L_5 = K.W_{51}/L_{51}$ então $i_{d4} = -i_{d5} = K.i_{d41} = -K.i_{d31}$. Se a impedância do capacitor é alta em comparação a r_{o4}/r_{o5} , então a tensão de saída do OTA é dado por $v_{out} = 2Ki_d(r_{o4}/r_{o5})$ e o ganho de tensão é

$$A_v = \frac{v_{out}}{v_{I1} - v_{I2}} = Kg_m(r_{o4}/r_{o5}) \quad (\text{B6})$$

onde atribuímos a entrada não inversora do OTA como a porta do transistor M_2 . Entretanto, como diz o próprio nome, estamos interessado na transcondutância do amplificador. Se a impedância da carga capacitiva ou a resistência de uma carga externa é pequena quando comparada à impedância de saída, r_{o4}/r_{o5} , então a corrente de saída flui principalmente sobre a carga externa. Sobre estas circunstâncias, podemos escrever que a corrente de saída como

$$i_{out} = i_{d4} - i_{d5} = 2Ki_d. \quad (\text{B7})$$

A transcondutância do OTA é dado por

$$G_m = \frac{i_{out}}{v_{I1} - v_{I2}} = g_m K. \quad (\text{B8})$$

B.10 OTA em *Cascode* Dobrado

O OTA em *cascode* dobrado é mostrado na Figura B7. Este OTA, assim como todos os OTAs, tem um bom PSRR (*Power Supply Rejection Rate*) quando comparado aos ampops de dois estágios.

Para entender o funcionamento do OTA com saída em *cascode* dobrado, considere a Figura B7, sem o par diferencial (M_1/M_2) no circuito. Sem o par diferencial no circuito, uma corrente de $10\mu A$ flui por todos os transistores. Os transistores M_3 e M_4 fornecem a tensão de polarização DC para $M_5 - M_8$. Quando o par diferencial é adicionado de volta ao circuito, é desviado parte da corrente para os transistores $M_7 - M_{12}$, reduzindo sua corrente.

Aplicando uma tensão de entrada AC, v_{in} , gera uma corrente de dreno no par diferencial $g_m v_{in}$ (g_m é a transcondutância do par diferencial). Esta corrente de dreno é espelhada nos transistores em cascata de M_7 até M_{12} . A tensão de saída do OTA é dada por

$$v_{out} = g_m v_{in} \cdot R_o \quad (B9)$$

onde

$R_o = (\text{impedância vista do dreno de } M_{10}) // (\text{impedância vista do dreno de } M_8)$

$$R_o = [r_{o_{10}} (1 + g_{m_{10}} r_{o_{12}})] // [r_{o_8} (1 + g_{m_8} r_{o_6})]. \quad (B10)$$

O pólo dominante do OTA está localizado em $1/2\pi R_o C_L$, existem pólos parasitas nas fontes dos transistores M_7/M_8 e M_9/M_{10} que podem ser maiores que a frequência de ganho unitário ($g_m/2\pi C_L$) do OTA.

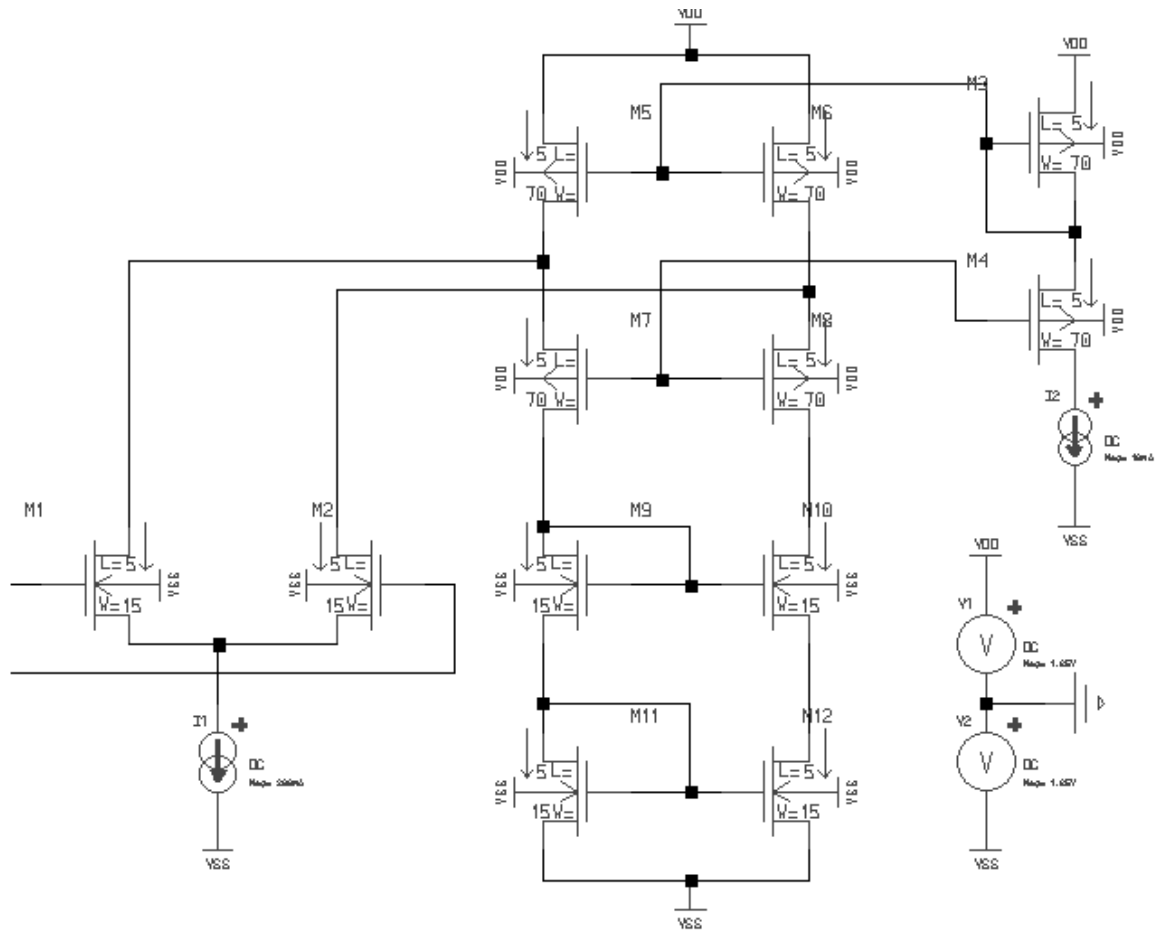


Figura B7 - OTA com saída em *cascode* dobrado

B.11 Capacitores Chaveados

Os circuitos a capacitores chaveados (SC – *Switched Capacitors*) são uma classe comum de sistemas em tempo discreto e são utilizados na maioria dos tópicos avançados como filtros, comparadores, Conversores analógico-digital (ADC) e conversores digital-analógico (DAC).

A técnica surgiu como solução ao problema de se implementar constantes de tempo de alta precisão para a construção de filtros ativos totalmente integrados sem a necessidade de componentes passivos ajustáveis.

Os elementos cruciais para a construção de circuitos que se baseiam nesta técnica são capacitores e chaves analógicas. A tecnologia mais adequada para a implementação destes elementos é a tecnologia CMOS, que, nos dias atuais, é predominante, pois é mais

apropriada para a implementação de sistemas integrados que englobam circuitos digitais e analógicos, que a tecnologia bipolar.

A definição de constantes de tempo precisas só era possível através de ajustes dos componentes passivos envolvidos, principalmente resistores. O resistor, no seu significado mais simples, é um dispositivo que estabelece a intensidade de corrente elétrica que pode fluir de uma fonte de tensão quando este é conectado aos terminais da fonte.

Na técnica de capacitores chaveados, o transporte de cargas é realizado de forma quantizada. Ou seja, o transporte de carga no tempo é realizado de forma intermitente, “em pacotes” e não da forma contínua como ocorre no caso de um resistor.

Num dado instante, um capacitor é carregado até que a diferença de potencial nos seus terminais se iguale à tensão externa aplicada. Em seguida, toda a carga deste capacitor é transferida para um outro capacitor e o ciclo de carga e descarga se repete. Como se pode perceber, a quantidade de carga transferida em um determinado intervalo de tempo, depende da frequência com que o ciclo de carga e descarga se repete e da capacitância do primeiro capacitor.

Considerando que uma dada quantidade de carga é transferida num certo intervalo de tempo, o circuito que realiza esta função se comporta como um resistor pelo qual flui uma corrente que tem como valor médio a razão entre a carga total transferida e o intervalo de tempo considerado.

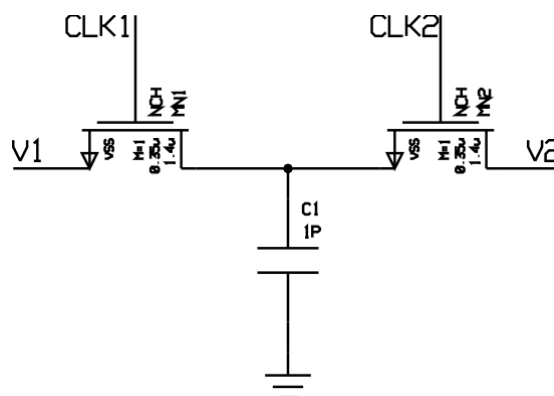


Figura B8 - Capacitor chaveado

No circuito da Figura B8, durante o primeiro semi-ciclo de *clock*, $CLK1=1$ e $CLK2=0$, o capacitor $C1$ armazena uma quantidade de carga igual a $q_1 = C.V_1$ e no segundo semi-ciclo, com $CLK1=0$ e $CLK2=1$, sua carga passa a ser $q_2 = C.V_2$, sendo, portanto a variação de carga no capacitor de $\Delta Q = q_1 - q_2 = C.(V_1 - V_2)$, sendo a corrente a quantidade de carga que flui por unidade de tempo, sendo a frequência de chaveamento $f_c = 1/T$, temos

$$I = \frac{\Delta Q}{T} = \frac{C(V_1 - V_2)}{\frac{1}{f_c}} = f_c C (V_1 - V_2) \quad (B11)$$

$$V = V_1 - V_2 \quad (B12)$$

$$R = \frac{V}{I} = \frac{V_1 - V_2}{f_c C (V_1 - V_2)} = \frac{1}{f_c C} \quad (B13)$$

desse modo, o circuito realiza a função de um resistor de valor dado pela Equação B13.

Pela própria característica do processamento discreto no tempo, os resistores a capacitores chaveados são uma aproximação ao resistor propriamente dito. Suas características de estabilidade térmica e linearidade são, no entanto, superiores aos resistores normalmente implementados em circuitos integrados. Num processo CMOS convencional a estabilidade térmica típica dos capacitores é de $10 ppm/^{\circ}C$, enquanto a de um resistor de polisilício, por exemplo, é da ordem de $1000 ppm/^{\circ}C$.

A grande vantagem da técnica de capacitores chaveados se evidencia na alta precisão que se obtém do produto RC, ou seja, se um capacitor C_1 , chaveado, numa frequência f_c , é conectado a outro capacitor C_2 , a constante de tempo resultante é dada por

$$\tau_{RC} = \frac{1}{f_c C_1} . C_2 = \frac{1 . C_2}{f_c C_1} \quad (B14)$$

logo, para uma frequência de chaveamento, f_c , a constante de tempo, τ_{RC} , é determinada pela razão entre os capacitores, que apresentam baixíssima sensibilidade às variações do processo.

B.12 Injeção de Carga

A maioria dos circuitos de amostragem e retenção é implementada com chaves MOS e capacitores. Como a chave MOS não é uma chave ideal, quando ela é desligada cargas indesejadas são injetadas em outros dispositivos do circuito, como na Figura A9. Quando a chave MOS é cortada, as cargas negativas acumuladas no canal escoam para as regiões de fonte e dreno. As cargas introduzidas no capacitor C provocam uma variação de tensão, que se traduz em erro de armazenamento. Este problema deve ser tratado com muita cautela, pois estes erros podem ser inadmissíveis em um circuito analógico. A análise deste problema não é trivial e a quantidade de cargas injetadas depende das impedâncias conectadas a fonte e ao dreno e do tempo de chaveamento.

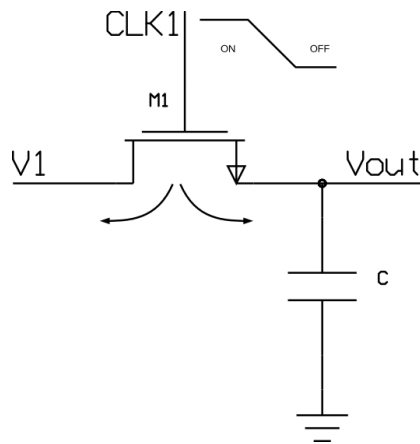


Figura B9 - Injeção de carga quando a chave MOS é desligada

A carga injetada para o lado esquerdo na Figura B9 é absorvida pela fonte na entrada, não causando erro. De outro lado, a carga injetada para o lado direito é depositada no capacitor C , introduzindo um erro na tensão armazenada no capacitor. Sendo $Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{th})$ a carga total armazenada na camada de inversão e considerando que metade de Q_{ch} é injetada no capacitor, o erro resultante é aproximadamente

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{2C}. \quad (B15)$$

A injeção de cargas é uma imperfeição bastante complexa de se cancelar, porém existem algumas técnicas para diminuir o seu efeito, como chaves *dummy*, chave complementar, circuitos totalmente diferenciais, utilização de pulsos de comando defasados. A idéia das chaves *dummy* é utilizar um transistor com os terminais fonte e dreno curto-circuitados, com área igual à metade da chave e com comando complementar ao da chave principal, ligado à carga C . Quando a chave principal abre, a chave *dummy* fecha, devendo absorver as cargas injetadas através do terminal. Quando a chave *dummy* abre não há injeção de cargas porque seus terminais estão curto-circuitados, Figura B10.

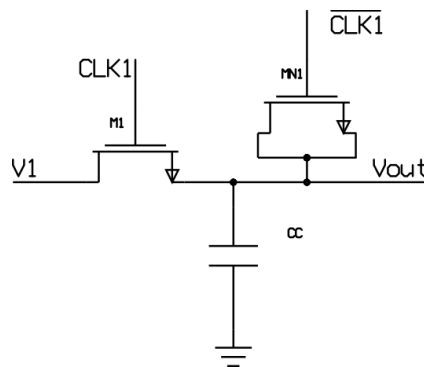


Figura B10 - Compensação da injeção de cargas utilizando chave *dummy*

Outra proposta para diminuir o efeito da injeção de cargas incorpora tanto dispositivos PMOS como NMOS, a idéia é fazer que as cargas injetadas por um sejam canceladas pelo outro, Figura B11.

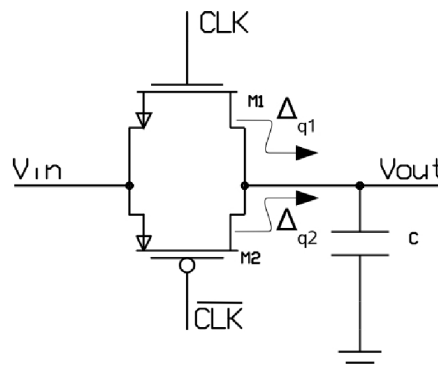


Figura B11 - Compensação da injeção de cargas utilizando chave complementar

Para Δq_1 cancelar Δq_2 , devemos ter $W_1 L_1 C_{ox} (V_{CLK} - V_{in} - V_{th}) = W_2 L_2 C_{ox} (V_{in} - |V_{thp}|)$. Mas, o cancelamento ocorre somente para um nível de entrada. A compensação não é feita por completo, pois as características do PMOS e do NMOS são diferentes.

Uma outra maneira de compensar a injeção de carga, e que é utilizada neste trabalho, é o chaveamento simultâneo entre os terminais do capacitor. A idéia é fazer com que as cargas injetadas em ambos os terminais do capacitor se anulem.